

CPUの気持ちを理解しよう!

ISHI会

<https://ishi-kai.org/>

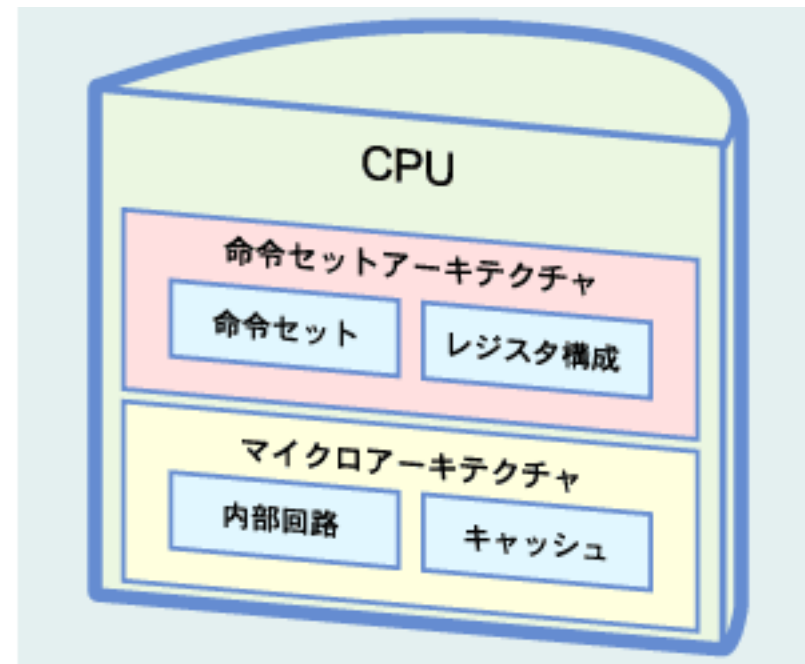
Mail: info@ishi-kai.org

もっとCPUの気持ちが 知りたいですか？

著書 出村成和



PEAKS



とげとげP

トランジスタ
もっとCPUの気持ちが
知りたいですか？

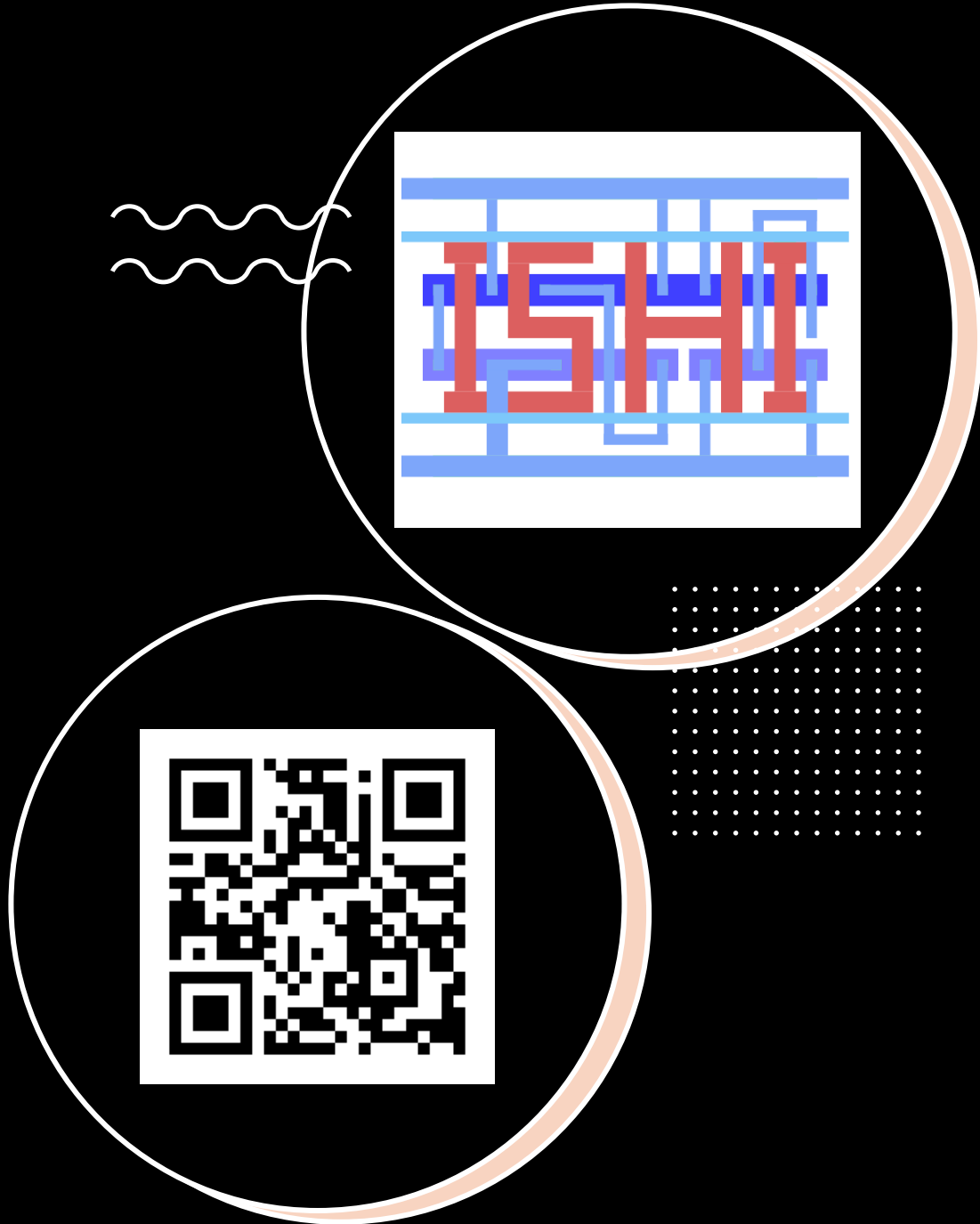
著書 出村成和



PEAKS



とげとげP



ISHI会 = オープンソース半導体 コミュニティー

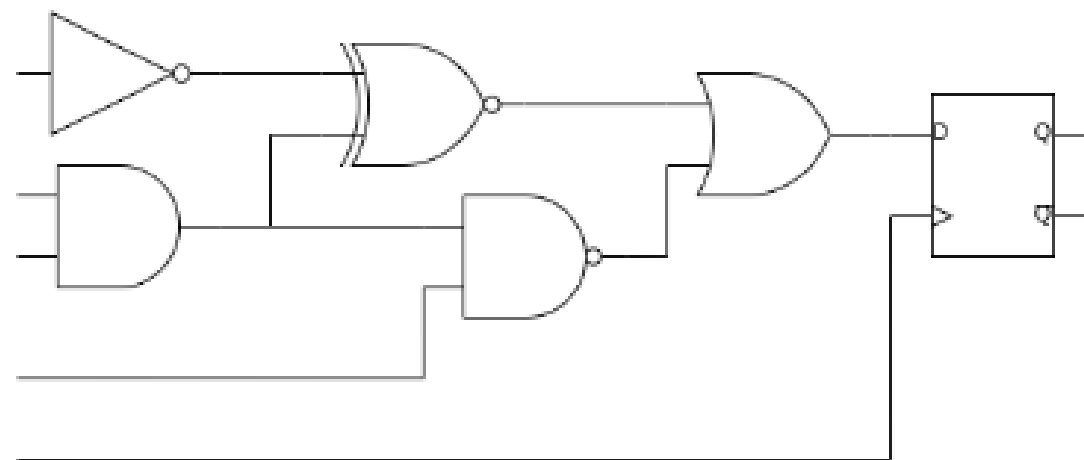
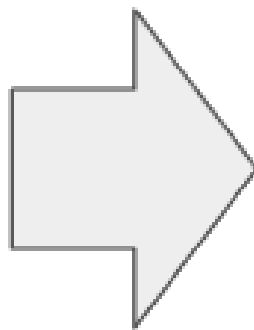
- メンバー数
 - 550名Over (20-30名ほど常にアクティブ)
- ホームページ
 - <https://ishi-kai.org/>
- Discord上で活動中
 - <https://discord.gg/RwAWF5mZSR>
- イベント告知 (勉強会など)
 - <https://ishikai.connpass.com/>
 - 20~50名ほどが常時参加



論理合成



HDL




デジタル回路

論理合成のイメージ

論理合成

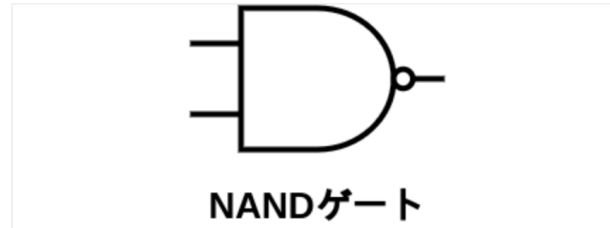
HDL（ハードウェア記述言語）で
記述して、論理回路（RTL）にする



論理回路（ゲート回路）

NAND

次は**NANDゲート**、これはANDゲートの出力にNOTしたものです、入力の少なくともどちらか一方が0なら1を出力します。それ以外なら1を出力します。



真理値表は以下の通りです。

A	B	A NAND B
0	0	1
0	1	1
1	0	1
1	1	0

NANDゲートの真理値表

Verilogでは、NANDはNOTゲートとANDゲートを組み合わせて**~(信号名1 & 信号名2)**で表せます。カッコ()は数式と同じく優先順位を表しており、カッコの中身が優先され先に実行されます。少し難易度が上がりましたかね？実際に使ってみましょう。

Basic.vのassign文の部分を編集し、ANDゲートをNANDゲートに変更します。

```
assign w_x = ~(r_a & r_b);
```

Libraries

LIB - IP62_5_stdcell.gds

AND2_X1
AND3_X1
AND4_X1
BUF_X1
BUF_X12
BUF_X16
BUF_X2
BUF_X4
BUF_X8
CLKBUF_X1
CLKBUF_X12
CLKBUF_X16
CLKBUF_X2
CLKBUF_X4
CLKBUF_X8
DEL1
DEL2
DEL4
DFFR
DFFS
INV_X1
INV_X12
INV_X16
INV_X2
INV_X4
INV_X8
MUX2
NAND2
NAND3
NAND4
NOR2
NOR3
NOR4
OR2
OR3
OR4
XNOR2
XOR2

HalfAdder

次はデジタル回路で少し面白い回路を紹介します。HalfAdder、半加算器です。以下のANDとXORで構成された回路を見てください。



この回路の真理値表を書いてみましょう。以下の通りです。

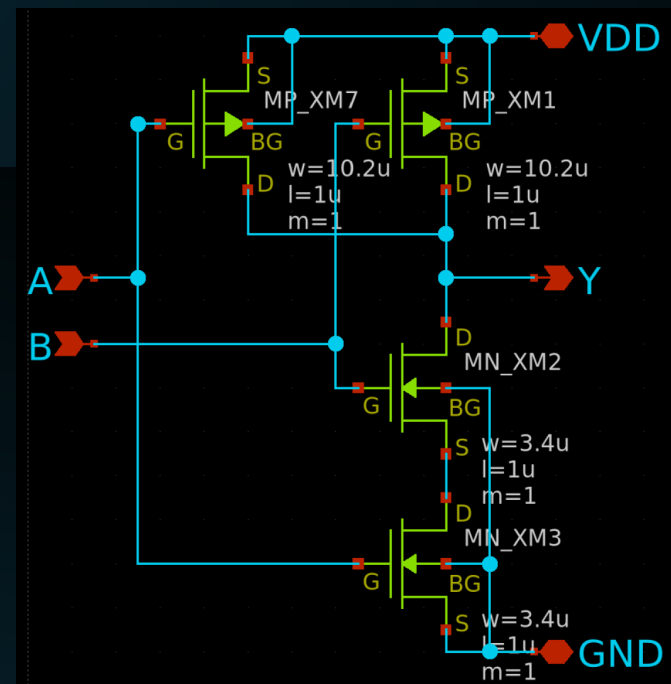
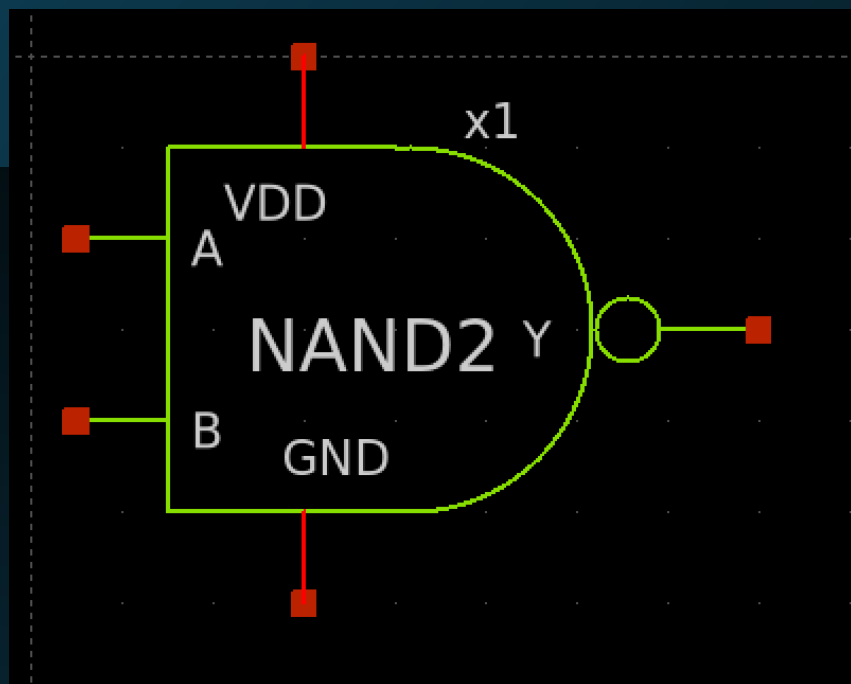
A	B	C	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

CがAND回路の出力でSがXOR回路の出力になっています。当然っちゃ当然ですね。ですがよく見て下さい、このCとS、AとBの二進数の加算結果の二桁目と一桁目になっていますね。ちなみにCは繰り上がりを意味するCarryの略で、Sは和を意味するSumの略です、



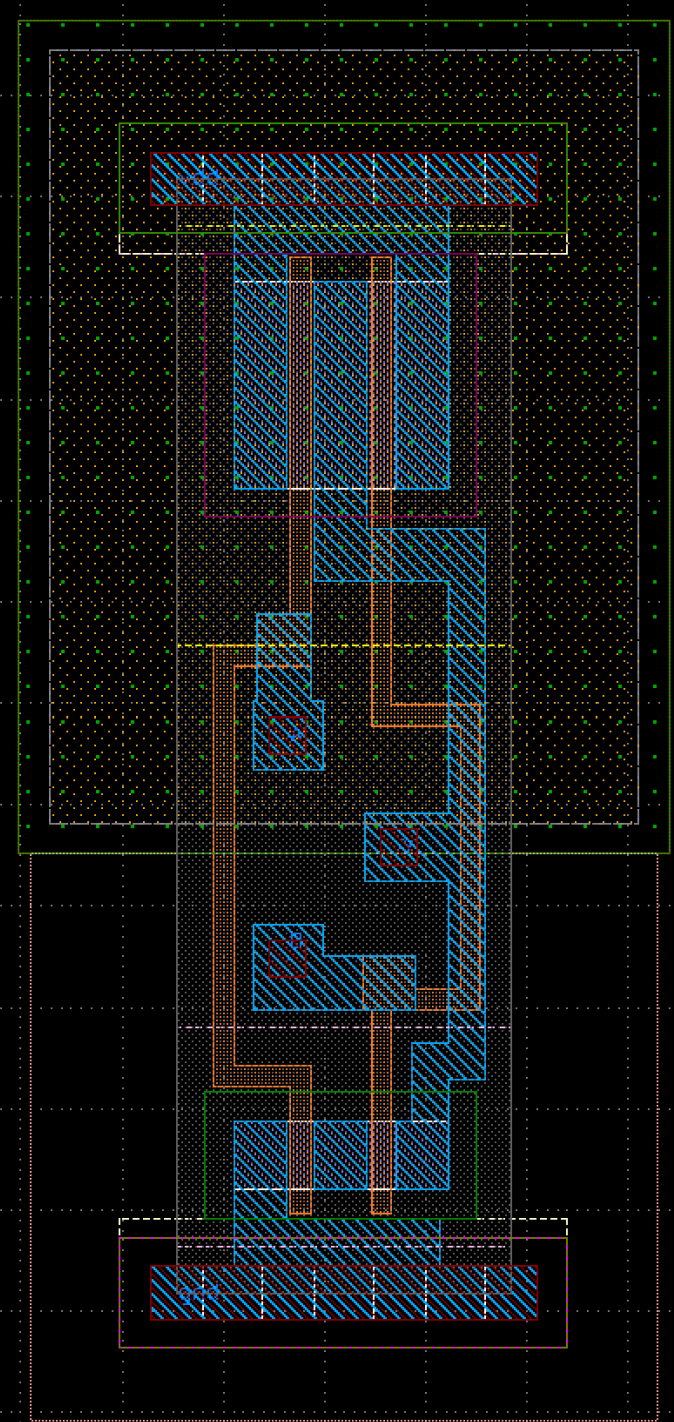
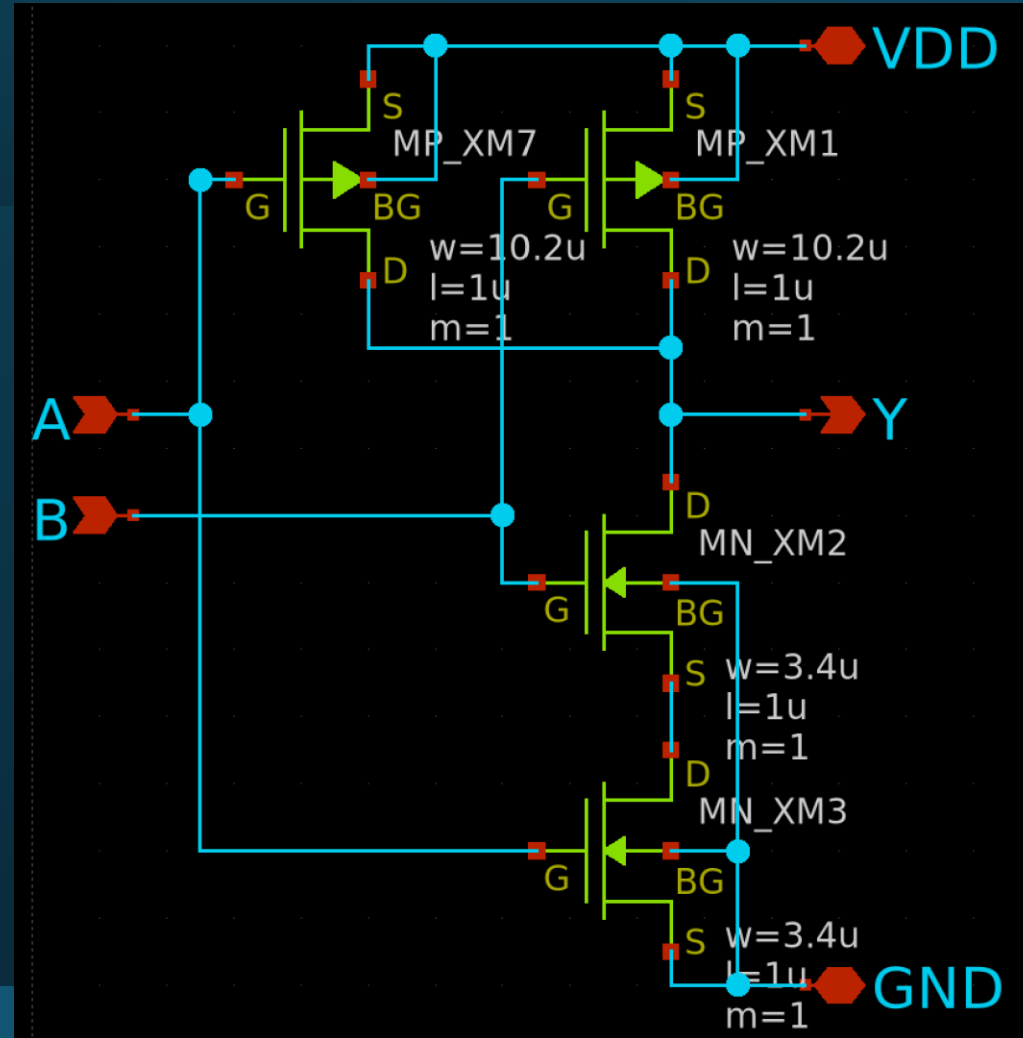
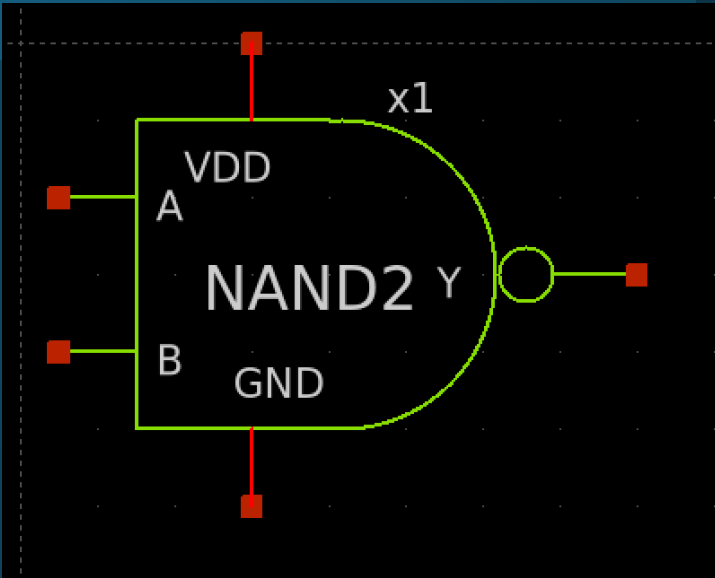
論理回路（中身）

論理回路の正体



中身はP-FETとN-FET

スタンダードセル



32.1

32.1

32.1

- 縦の長さは均一
- 横の長さが何種類かある

..NOR2..

LIB..BUF_X1.

LIB. DFFR

LIB.DFFR

```
LIB, INV L0B, NAND2B, NAND2B, NAND2B, NAND2B, INV L1B, AND2L1B, AND2, X1IB, OR2IB, INV L1B, AND2L1B, INV L1B, INV L1B, AND2, X1IB, OR2
```

VDDライン

P-FET
Sが共通

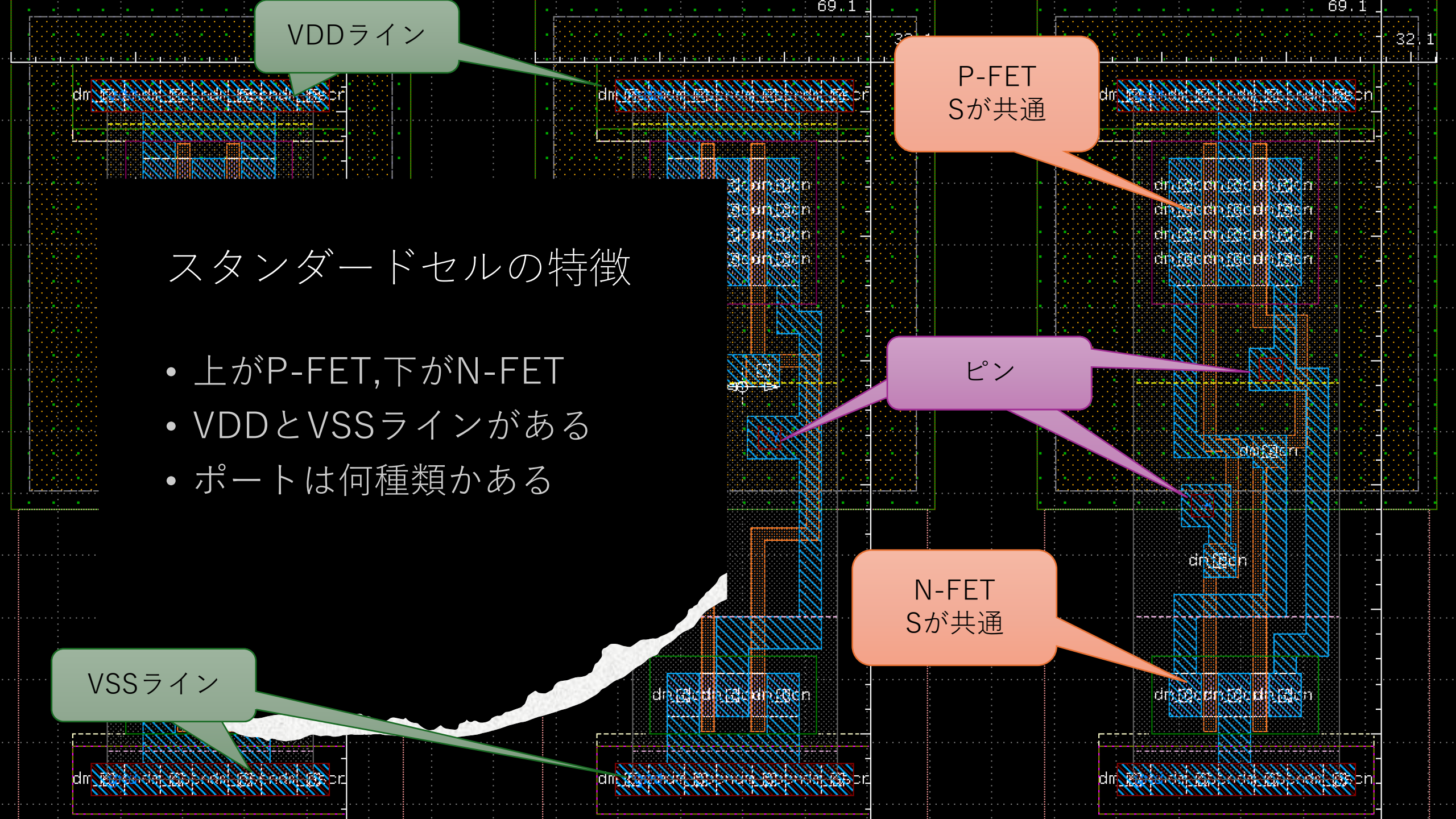
スタンダードセルの特徴

- 上がP-FET,下がN-FET
- VDDとVSSラインがある
- ポートは何種類もある

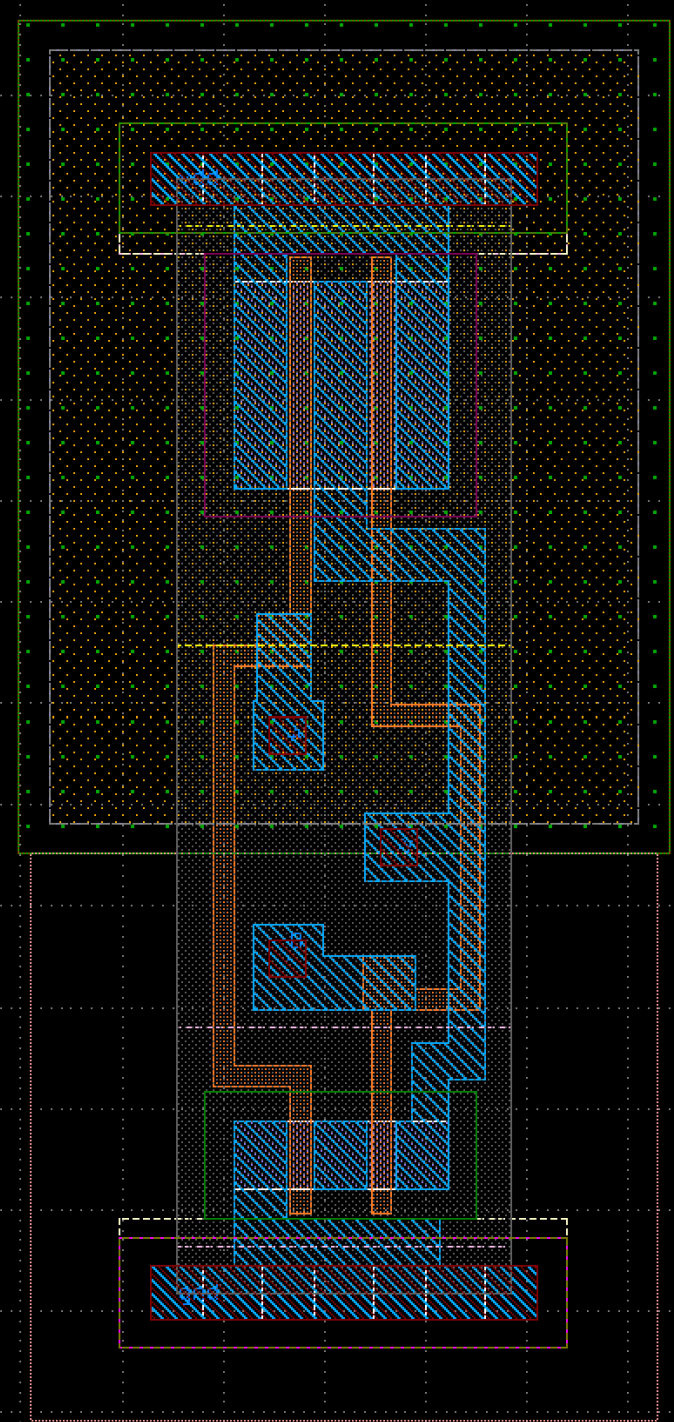
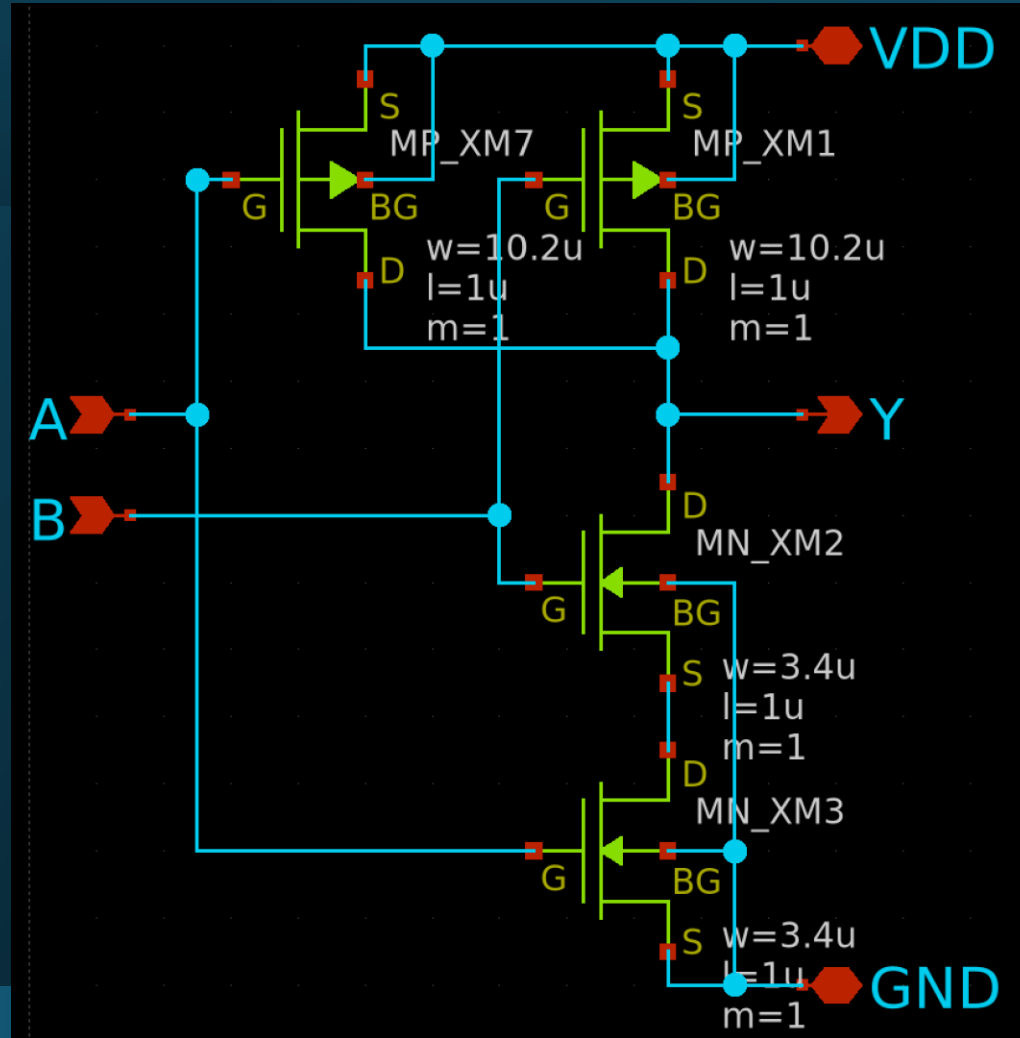
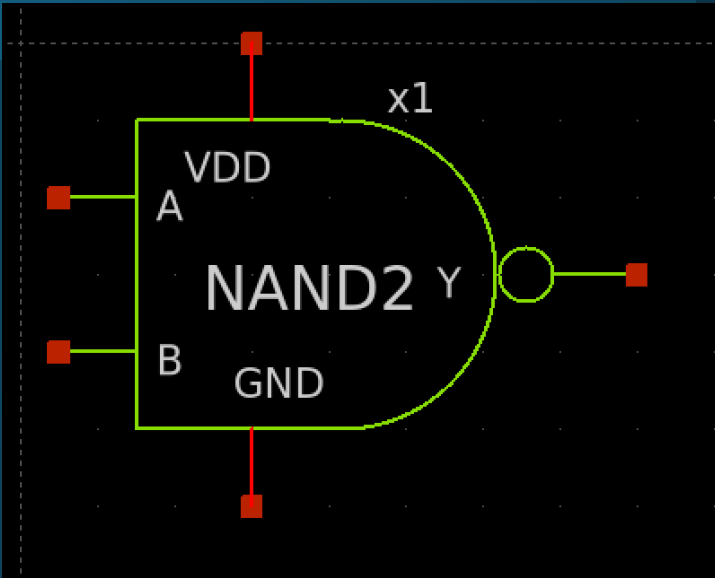
ピン

N-FET
Sが共通

VSSライン



スタンダードセル





P&R（配置配線）

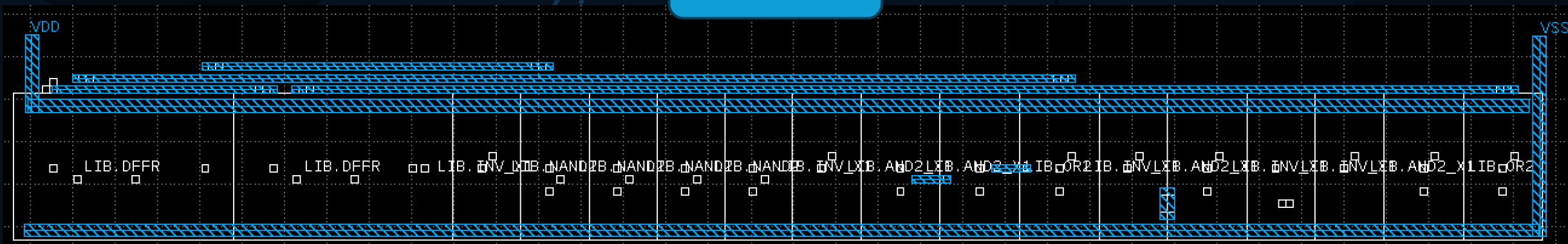
グリッド配線 (電源グリッド)

- メタル層を縦と横で分ける
- 6層などある場合は6層、5層をVDD, VSSに割り当てる→電源グリッドと呼ばれる
 - 理由：上部の層の方が線厚が厚いため

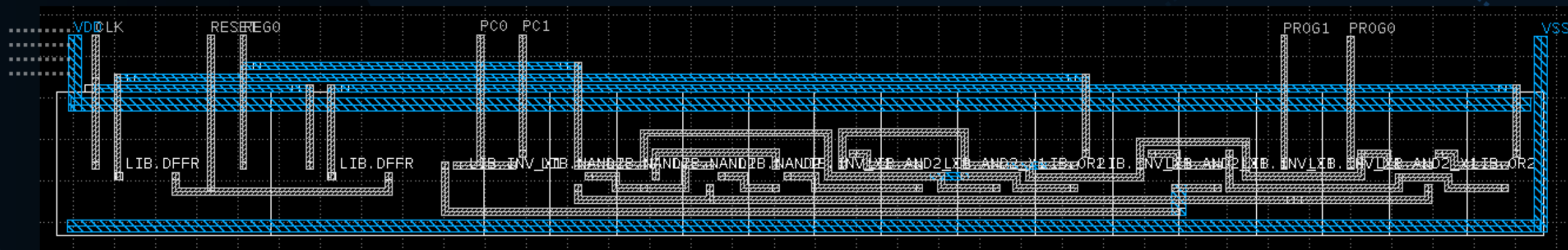
2層グリッド



1層グリッド



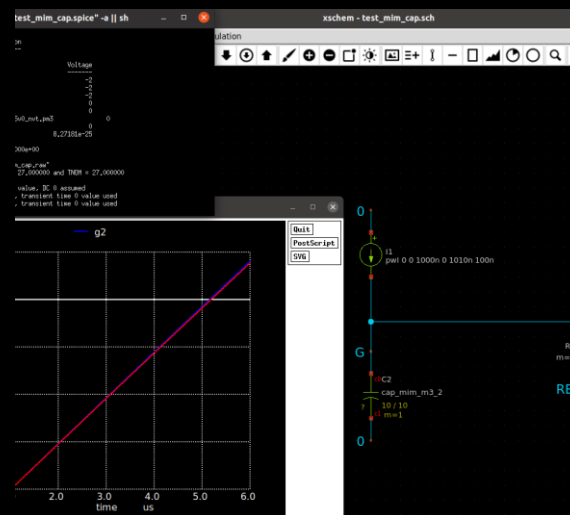
完成図





ハンズオンセミナー

ハンズオン セミナー



- 知識ゼロから半導体設計の基礎がすべて学べる！
一番簡単なインバーター回路のハンズオンセミナー
 - Xschemによる回路設計
 - トランジスタの組み合わせで機能を実現する作業
 - ngspiceによる回路特性シミュレーション
 - 上記の回路が正しく動作するかを検証する作業
 - klayoutによる回路デザイン
 - トランジスタを実際の半導体の上に配置する作業

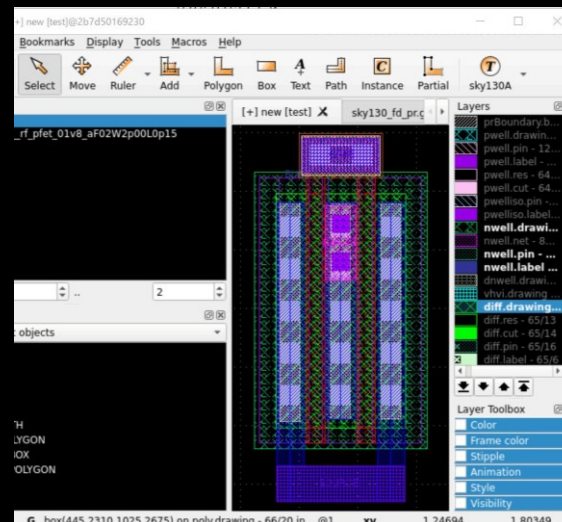
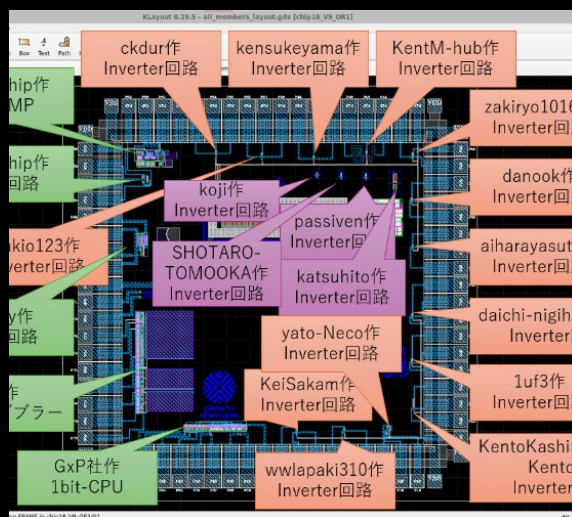
- 丸々1日の講習会となります

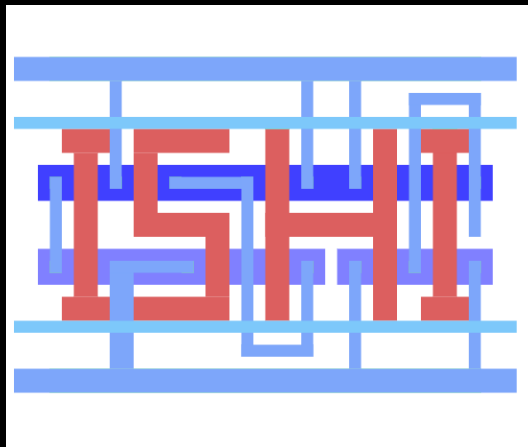
- 講習会実施実績

- <https://ishikai.connpass.com/event/303102/>
- https://www.noritsu.jp/download/ishi_20231110_3zki_ver2.pdf

- 参加者の声（半導体設計未経験者。電子工作をしたことがあるレベル）

- チップの設計体験によりすごく技術的な刺激を受けた
- 半導体は全く未知のものだったが理解できたことで新しい知見を得ることが出来た





ISHI会の情報

- メンバー数
 - 550名Over (20-30名ほど常にアクティブ)
- ホームページ
 - <https://ishi-kai.org/>
- Discord上で活動中
 - <https://discord.gg/RwAWF5mZSR>
- イベント告知 (勉強会など)
 - <https://ishikai.connpass.com/>
 - 20～50名ほどが常時参加