

東海理化シヤトル向け オープンPDKの概要 ～OpenIP62～

OpenSUSI

<https://OpenSUSI.org/>

Mail: secretary@opensusi.org



アジェンダ

- オープンソース半導体について
- 東海理化のオープンPDK = OpenIP62について
- シャトル



オープンソース半導体（オープンソースシリコン）について



オープンソース半導体・ タイムライン

- 2018 : DARPA (国防高等研究計画局) OpenIDEA プログラム
\$11.3M grant to UC San Diego for “OpenROAD” project
- 2020 : Google/efabless/SkyWater OpenMPW プログラムスタート
- 2022 : Global Foundries が OpenMPW プログラムに参加
- 2023 : 独) iHP (130nm/SiGe) が PDK のオープン化を宣言
Free Silicon Foundation (FSI) が、欧州の半導体産業の競争力、革新性、教育、
独立性、サイバー耐性、環境持続可能性などに貢献できると主張
- 2023 : Open PDKの管理を Chips Alliance がサポート

180 Attendees!! Record attendance among all workshops at VLSI Symposium

Open Source PDKs and EDAs, Community Experiences toward Democratization of Chip Design

Organizer : Makoto Ikeda (The University of Tokyo)

Organizer : Mehdi Saligane (University of Michigan)

Since its launch in 2020, the Open MPW shuttle program has received over 500 designers' experiences, including measured results, foundry perspectives, and

About Makoto Ikeda

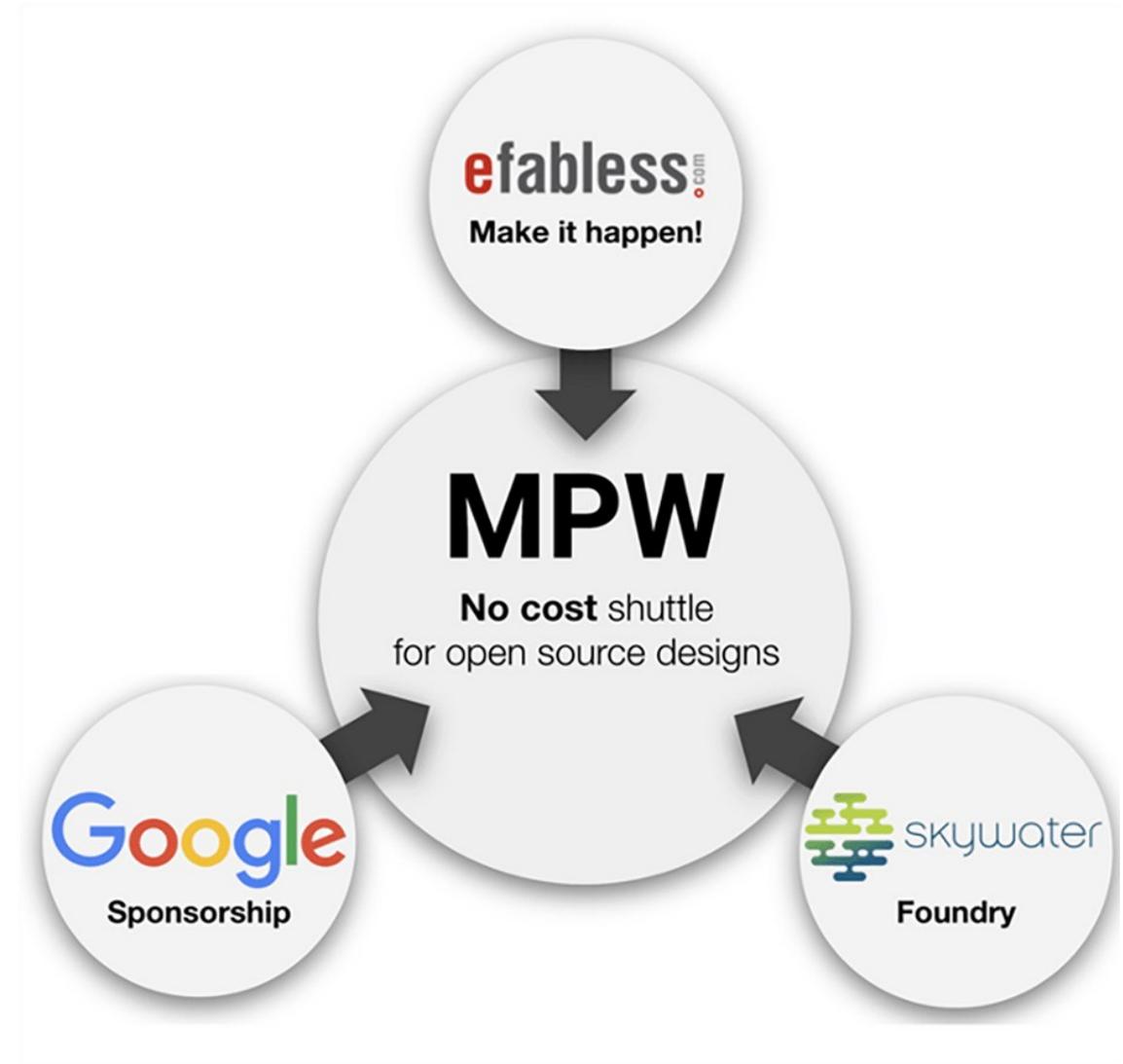
Makoto Ikeda received his BE, ME, and Ph.D. degrees all in EE department of d.lab, the University of Tokyo. This workshop is co-organized with Dr. Mehdi S

- | 1. Design experience: "The Journey of Two Novice LSI Enthusiasts: T Communications and Yuki Azuma, University of Tsukuba
- | 2. From Zero to 1000 Open Source Custom Designs in Two Years, Mo
- | 3. The SKY130 Open Source PDK: Building an Open Source Innovati
- | 4. Open Source Chip Design on GF180MCU – A foundry perspective, Karthik Chandrasekaran, Global



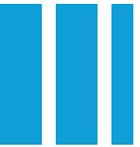
オープンソース半導体 ～OpenMPWとは？～

1. オープンソースの設計ツール (OpenEDA)にて設計。設計環境やスクリプトを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
2. オープンソースのプロセス情報 (OpenPDK)にて設計。設計資産(回路図・GDSII)やソースファイルを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
3. 上記1、2で設計したオープンソース設計チップを製造するファブ・サービスが存在し、設計したハードウェアの動作を検証できること。



なぜ、オープンソース半導体なのか？

- 半導体設計教育の危機
 - 電気電子課程への進学者の減少。VLSI教育にかかるソフトウェアのコスト高。EDAサーバーの保守・更新にかかる経費増等、教育側のコスト負担が大きすぎる。
 - チップ設計者の作業効率向上
 - オープンソース化より、ハードウェア設計は多くの恩恵をオープンソースソフトウェアと同様に受けることができる。
 - 半導体産業の衰退 = 経済と安全保障において国家的な脅威
 - 偽造電子機器は、数十億ドル規模の闇市場が存在し、米国国防総省が購入する予備電子部品の推定 15% が偽造品であり、信頼性と安全性の両方を脅かしていると報告されている
 - → 半導体人材育成が喫緊の課題
-



東海理化のオープンPDK = OpenIP62について

公開先：<https://github.com/OpenSUSI/TR-1um>

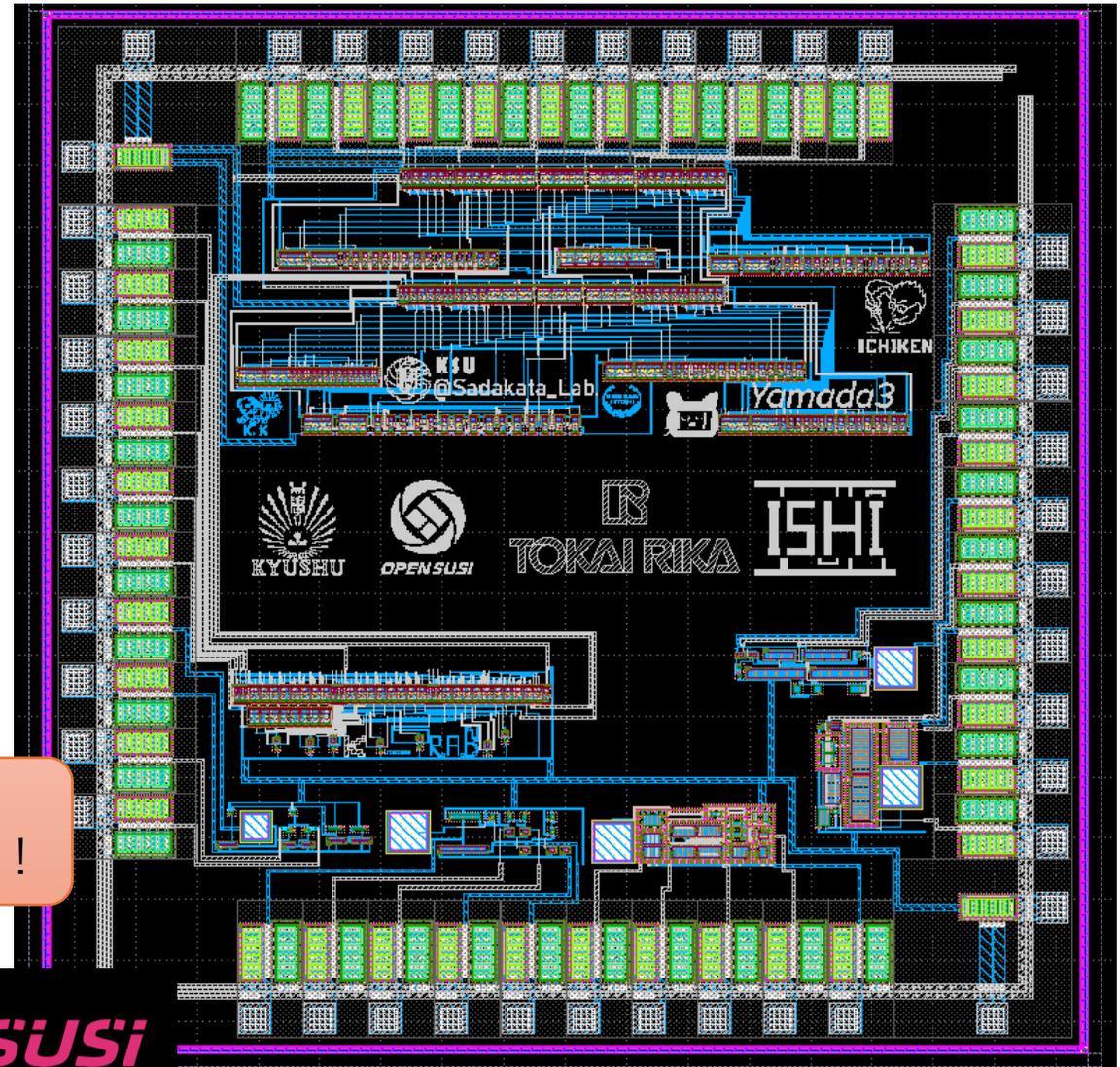
仕様概要

- 対応素子
 - 1 μ mプロセス
 - CMOS 5V素子
 - スタセル：ロジック
 - P-Cell：アナログ
- パッケージ（オプション）
 - 3.1mm x 3.1mm
 - QFP44ピン
 - ESDセルあり
 - 合計：40チップ
- シャトル
 - 年2回（5月、9月（予定））
 - リードタイム：4か月
- 価格
 - 80万円前後

詳細は
OpenSUSIまで！

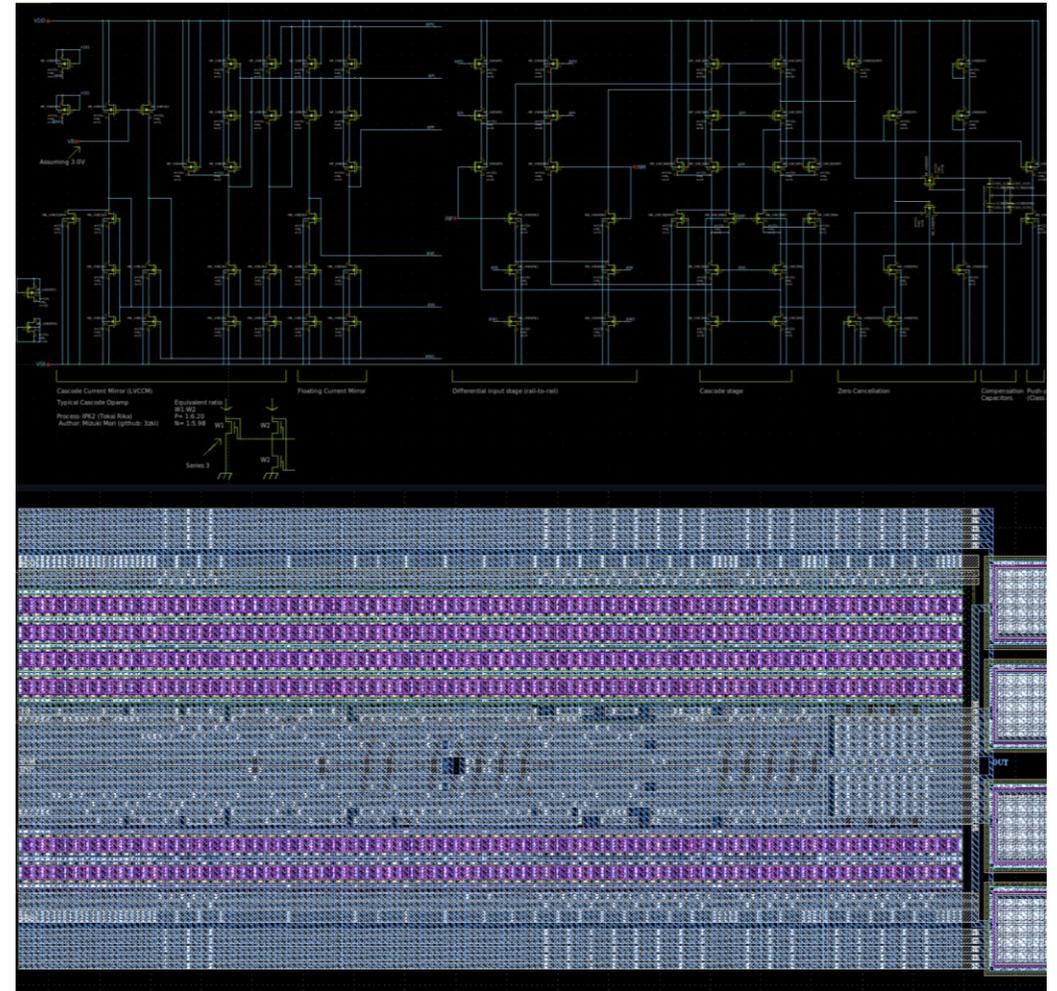


<https://OpenSUSI.org/>



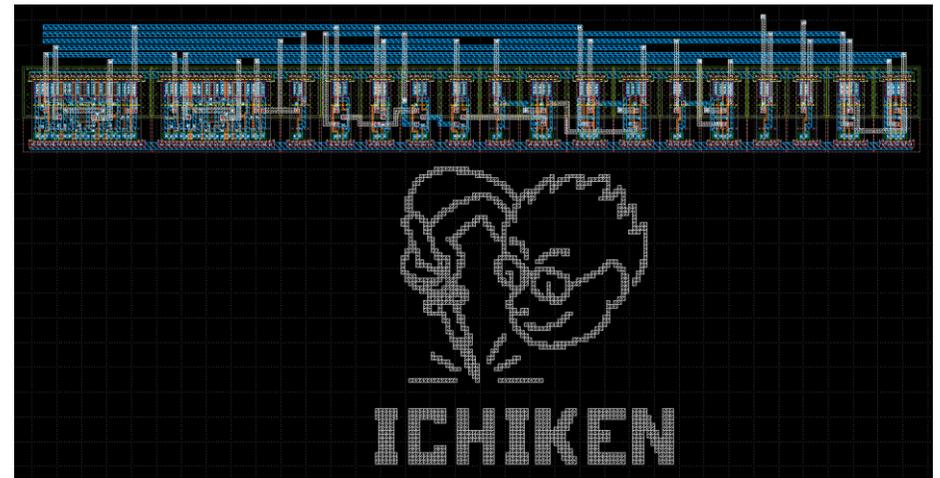
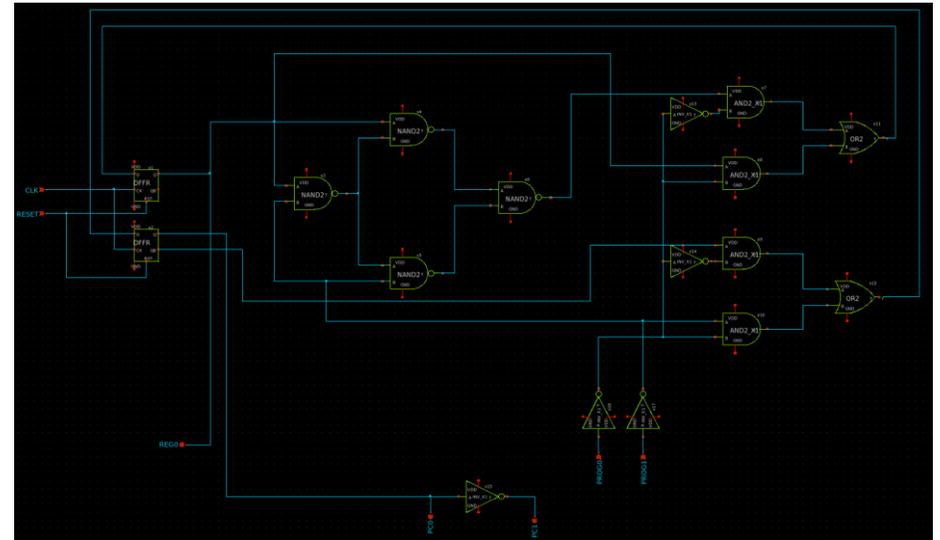
アナログ回路の例： Rail2Rail OPAMP

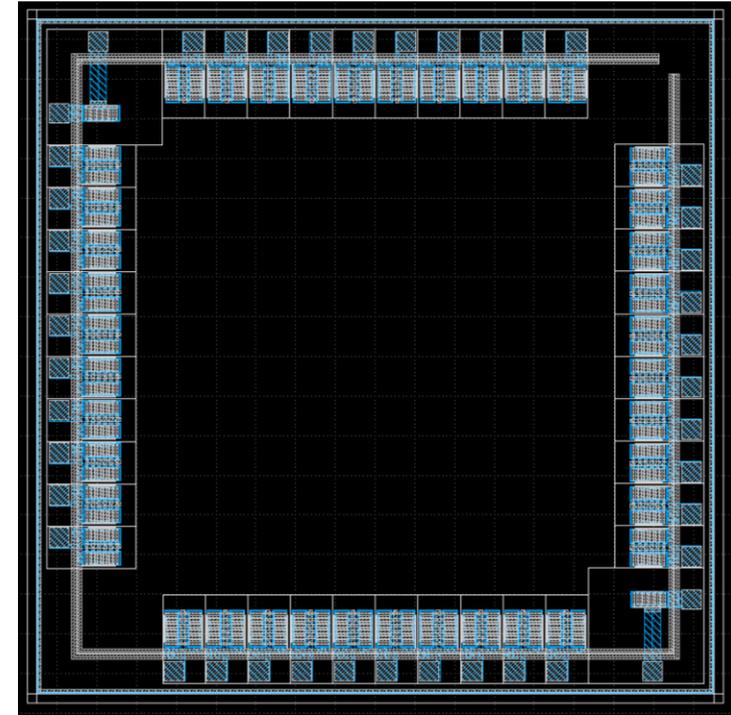
- 基本的なアナログ回路は作成可能
 - クロックは数十MHzくらいが限界
 - 一部、温度係数が無いシミュレーションあり



ロジック回路の例： 1bit-CPU

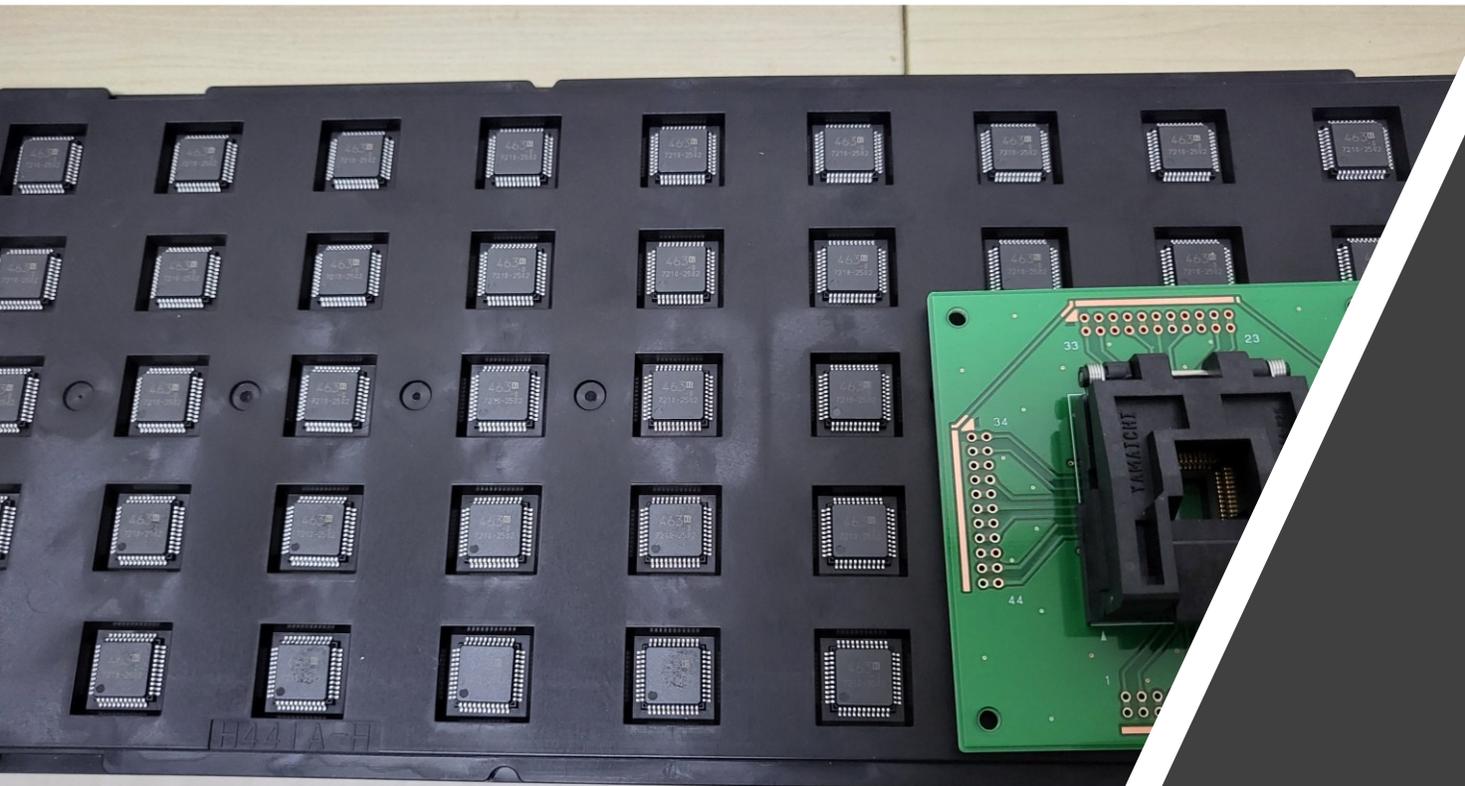
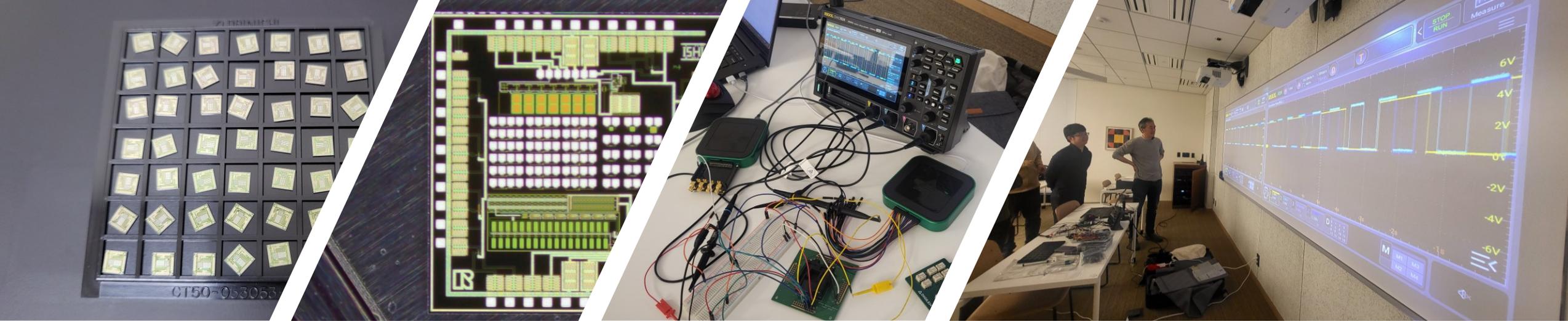
- HDL->RTL変換は無い
 - 手配置、手配線
- 4bit CPUクラスが限界
 - Max2~4000ゲート





フレーム・パッケージ

- フレーム
 - 3.1mm x 3.1mm
 - 44ピン
 - ユーザが使用可能なピンは40ピン
 - ESDセルあり
- パッケージ
 - QFP44



東海理化の チップ

ドキュメント一覧

- デザインルールマニュアル
 - OS00_リファレンスマニュアル.pdf
 - OS01_インストールマニュアル.pdf
 - OS02_回路simガイドライン.pdf
 - OS03_レイアウト検証ガイドライン.pdf
 - OS04_ESD保護素子ガイドライン.pdf
 - OS05_スタンダードセルラインナップ.pdf
 - OS06_素子接続ガイドライン.pdf

表 I-1-2. ドキュメントリスト

ドキュメント	掲載帳票	Section
デザインマニュアル	本帳票	I.1~I.4
電氣的パラメータ	本帳票	I.2
レイアウトルール	本帳票	I.4
SPICE model	本帳票	II
RF パラメータ/モデル	無	-
Noise モデル	無	-
マッチング	無	-
DRC/LVS	本帳票	IV
寄生抽出	無	-
Layer Map	本帳票	I.1

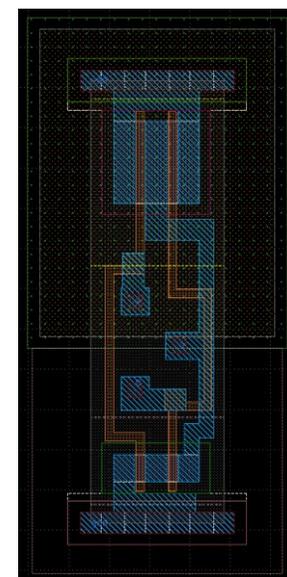
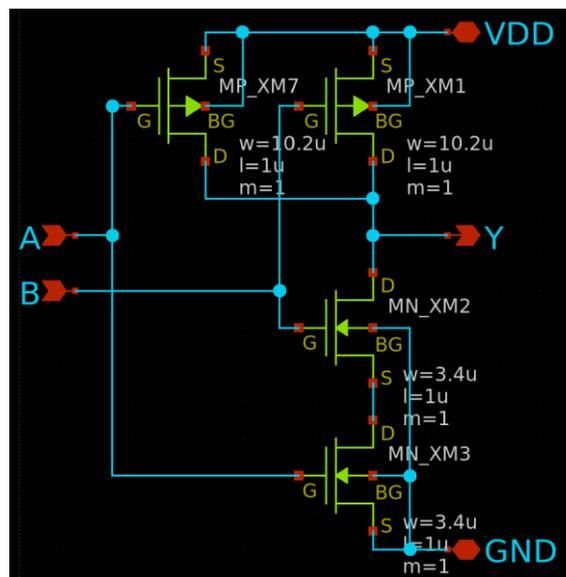
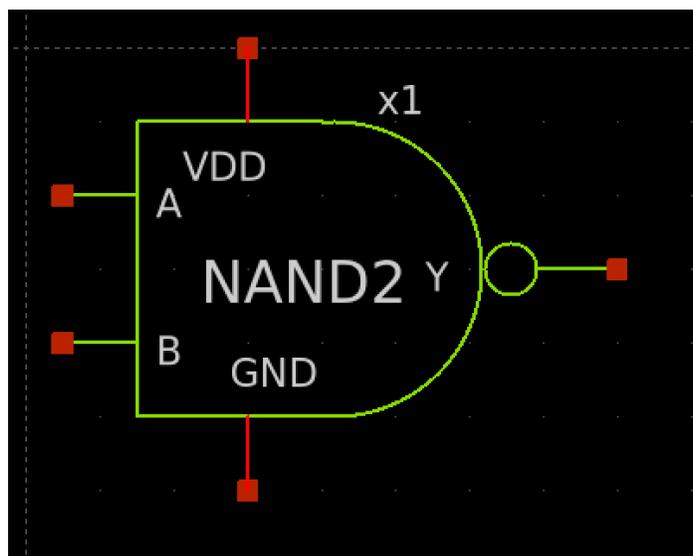
回路図やP-Cellとして 利用可能素子

- 対応EDA

- 回路図エディタ
 - Xschem
- シミュレータ
 - ngspice
- レイアウトエディタ
 - KLayout

MOSFET	Capacitor	Resistor	Misc
<p>MP.sym</p>  <p>MN.sym</p>  <p>MODEL (fixme!)</p> 	<p>CSIO.sym</p> 	<p>RR.sym</p>  <p>RS.sym</p> 	<p>DP.sym</p>  <p>DN.sym</p> 

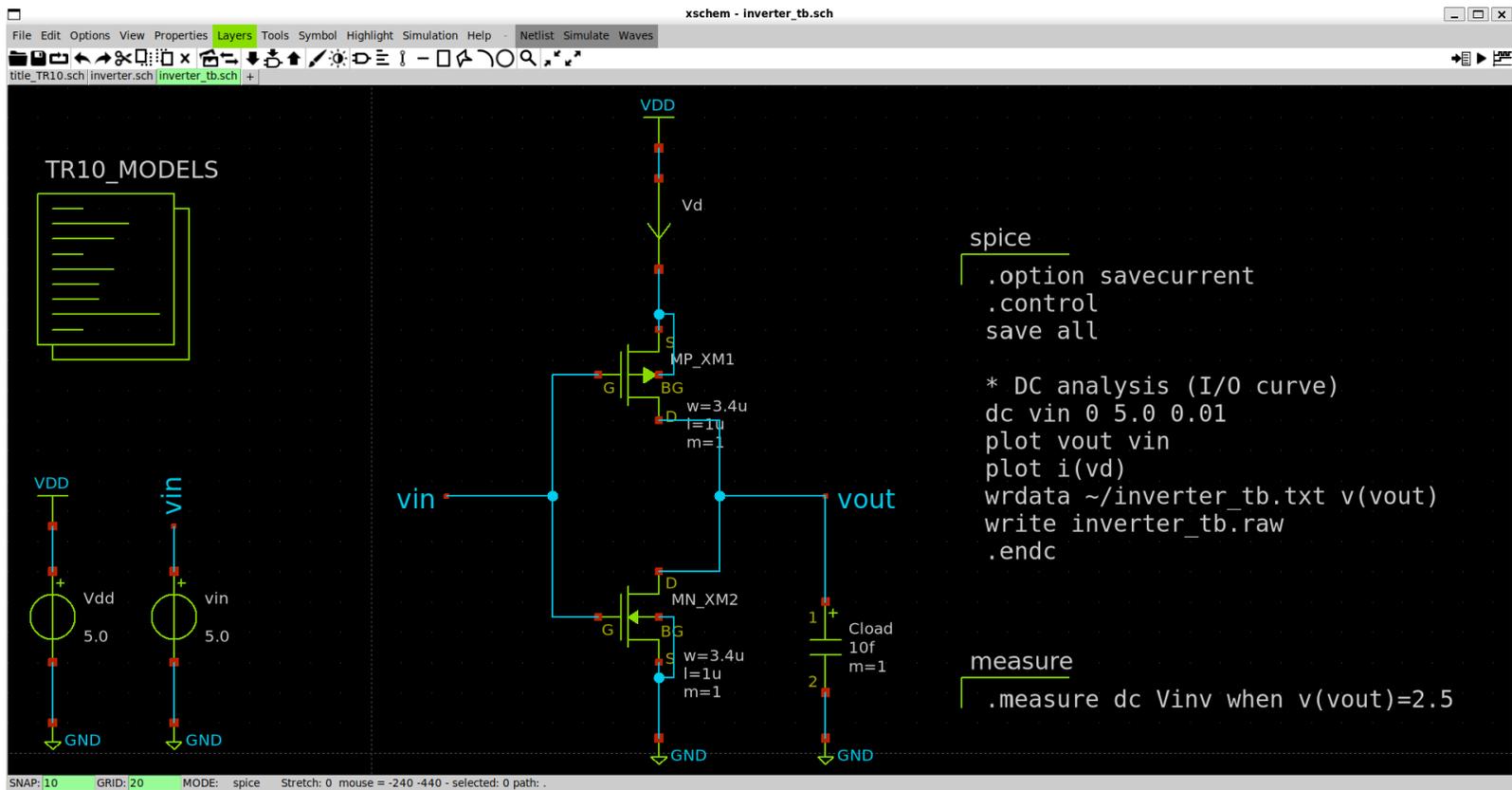
XSCHEM Tokairika & OpenSUSI & ISHI-kai
.xschem/title_TR10.sch



スタンダードセル

Library: IP62_5_stdcell

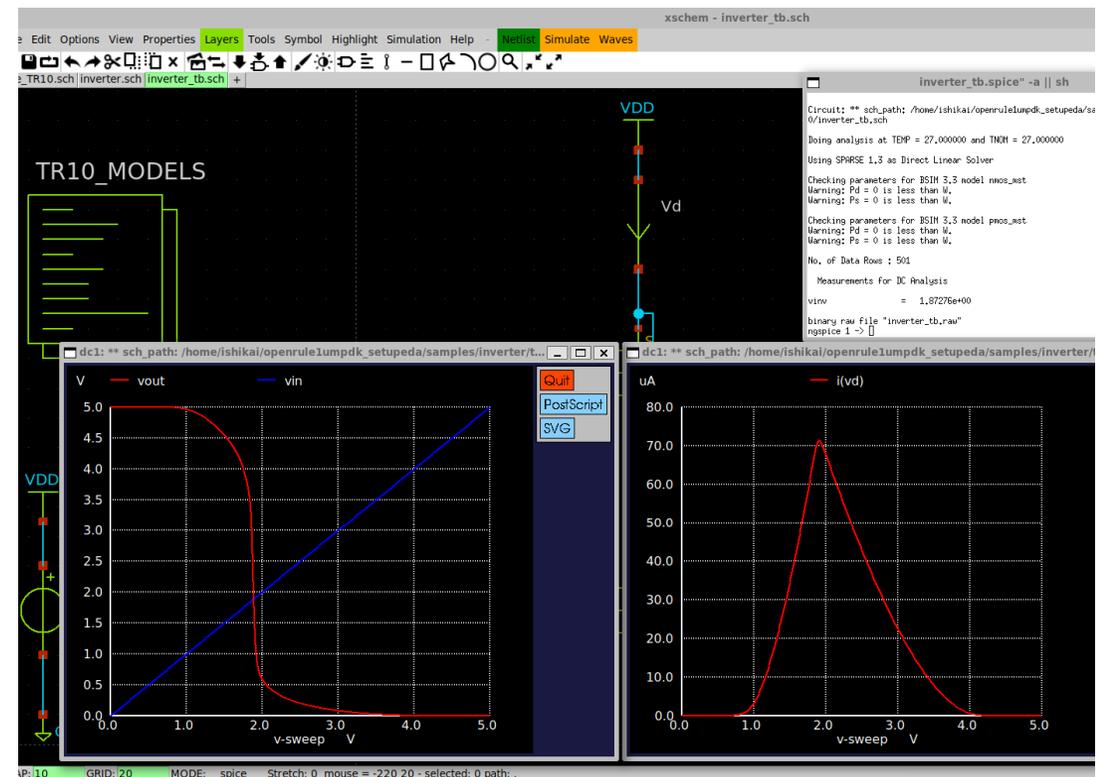
No	Cell	種類	入力ピン数	出力ピン数	セル高さ[um]	セル幅[um]	MP W[um]	MP L[um]	MN W[um]	MN L[um]
1	AND2_X1	ANDゲート	2	1	55.0	22.0	10.2	1	3.4	1
2	AND3_X1	ANDゲート	3	1	55.0	27.5	10.2	1	3.4	1
3	AND4_X1	ANDゲート	4	1	55.0	33.0	10.2	1	3.4	1
4	BUF_X1	バッファ	1	1	55.0	16.5	10.2	1	3.4	1
5	BUF_X2	バッファ	1	1	55.0	22.0	10.2 x 2	1	3.4 x 2	1
6	BUF_X4	バッファ	1	1	55.0	33.0	10.2 x 4	1	3.4 x 4	1
7	BUF_X8	バッファ	1	1	55.0	49.5	10.2 x 8	1	3.4 x 8	1
8	BUF_X12	バッファ	1	1	55.0	66.0	10.2 x 12	1	3.4 x 12	1
9	BUF_X16	バッファ	1	1	55.0	93.5	10.2 x 16	1	3.4 x 16	1
10	CLKBUF_X1	クロックバッファ	1	1	55.0	38.5	10.2 x 5	1	3.4 x 5	1
11	CLKBUF_X2	クロックバッファ	1	1	55.0	66.0	10.2 x 10	1	3.4 x 10	1
12	CLKBUF_X4	クロックバッファ	1	1	55.0	115.5	10.2 x 20	1	3.4 x 20	1
13	CLKBUF_X8	クロックバッファ	1	1	55.0	203.5	10.2 x 40	1	3.4 x 40	1
14	CLKBUF_X12	クロックバッファ	1	1	55.0	291.5	10.2 x 60	1	3.4 x 60	1
15	CLKBUF_X16	クロックバッファ	1	1	55.0	379.5	10.2 x 80	1	3.4 x 80	1
16	DEL1	ディレイセル	1	1	55.0	38.5	10.2 x 2	1	3.4 x 2	1
17	DEL2	ディレイセル	1	1	55.0	60.5	10.2	1	3.4	1
18	DEL4	ディレイセル	1	1	55.0	104.5	10.2	1	3.4	1
19	DFFR	Dフリップフロップ	3	2	55.0	88.0	10.2	1	3.4	1
20	DFFS	Dフリップフロップ	3	2	55.0	88.0	10.2	1	3.4	1
21	INV_X1	インバータ	1	1	55.0	16.5	10.2	1	3.4	1
22	INV_X2	インバータ	1	1	55.0	16.5	10.2 x 2	1	3.4 x 2	1
23	INV_X4	インバータ	1	1	55.0	27.5	10.2 x 4	1	3.4 x 4	1
24	INV_X8	インバータ	1	1	55.0	44.0	10.2 x 8	1	3.4 x 8	1
25	INV_X12	インバータ	1	1	55.0	60.5	10.2 x 12	1	3.4 x 12	1
26	INV_X16	インバータ	1	1	55.0	77.0	10.2 x 16	1	3.4 x 16	1
27	MUX2	マルチプレクサ	3	1	55.0	49.5	10.2	1	3.4	1
28	NAND2	NANDゲート	2	1	55.0	16.5	10.2	1	3.4	1
29	NAND3	NANDゲート	3	1	55.0	22.0	10.2	1	3.4	1
30	NAND4	NANDゲート	4	1	55.0	27.5	10.2	1	3.4	1
31	NOR2	NORゲート	2	1	55.0	16.5	10.2	1	3.4	1
32	NOR3	NORゲート	3	1	55.0	22.0	10.2	1	3.4	1
33	NOR4	NORゲート	4	1	55.0	27.5	10.2	1	3.4	1
34	OR2	ORゲート	2	1	55.0	22.0	10.2	1	3.4	1
35	OR3	ORゲート	3	1	55.0	27.5	10.2	1	3.4	1
36	OR4	ORゲート	4	1	55.0	33.0	10.2	1	3.4	1
37	XNOR2	XNORゲート	2	1	55.0	33.0	10.2	1	3.4	1
38	XOR2	XORゲート	2	1	55.0	33.0	10.2	1	3.4	1

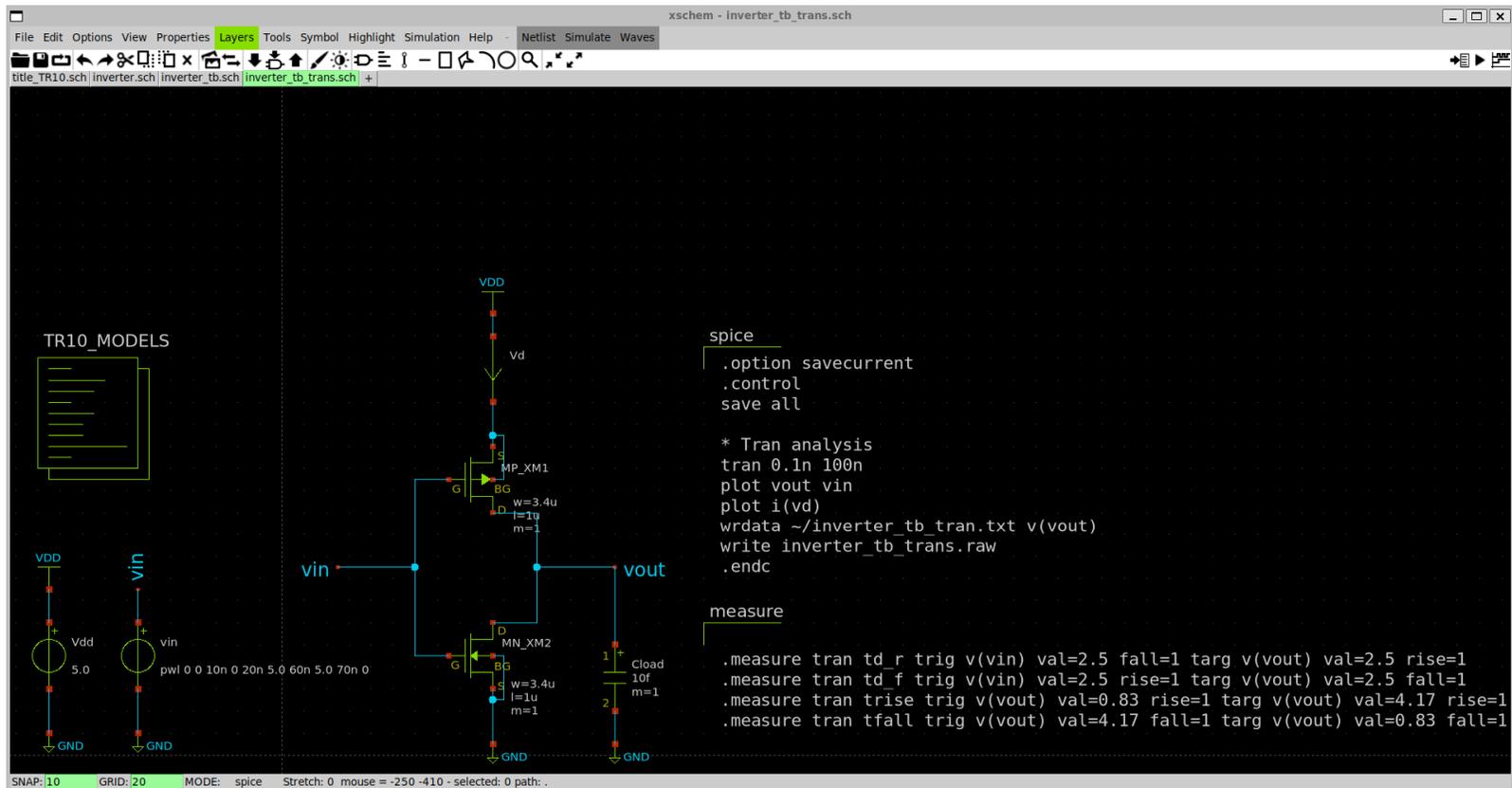


xschem :
ベンチ
マーク例

ngspice : シミュレーション結果

- 入力A = 0 V → 出力Q = 5.0 V
- 入力A = 5.0 V → 出力Q = 0 V
- インバータとして機能している

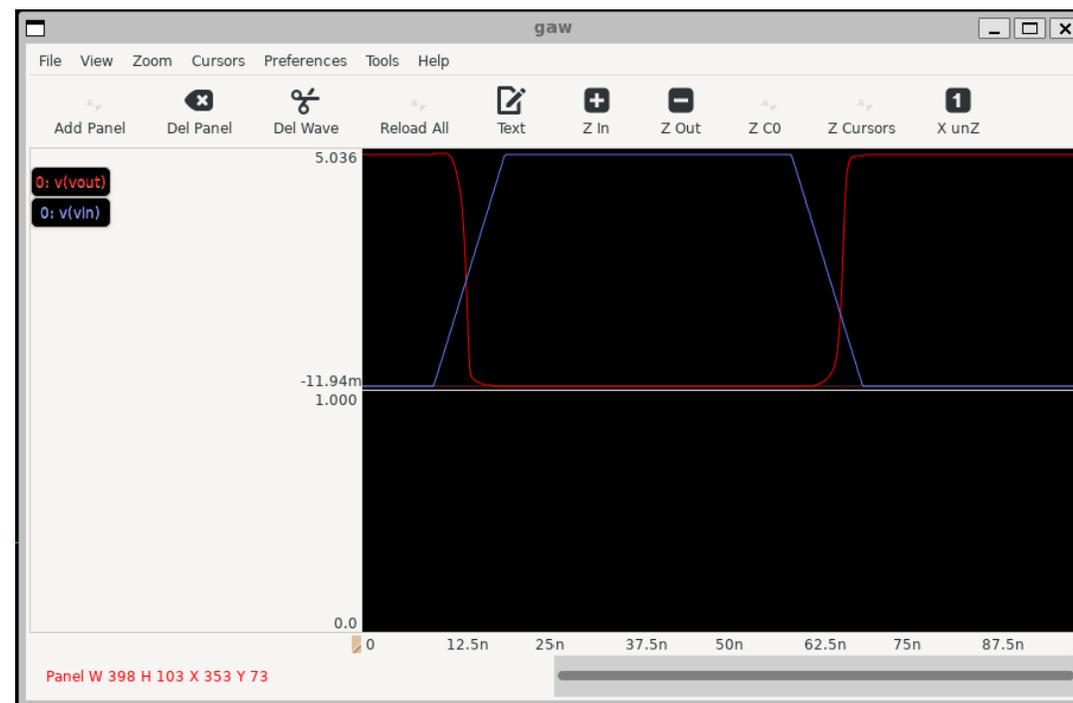


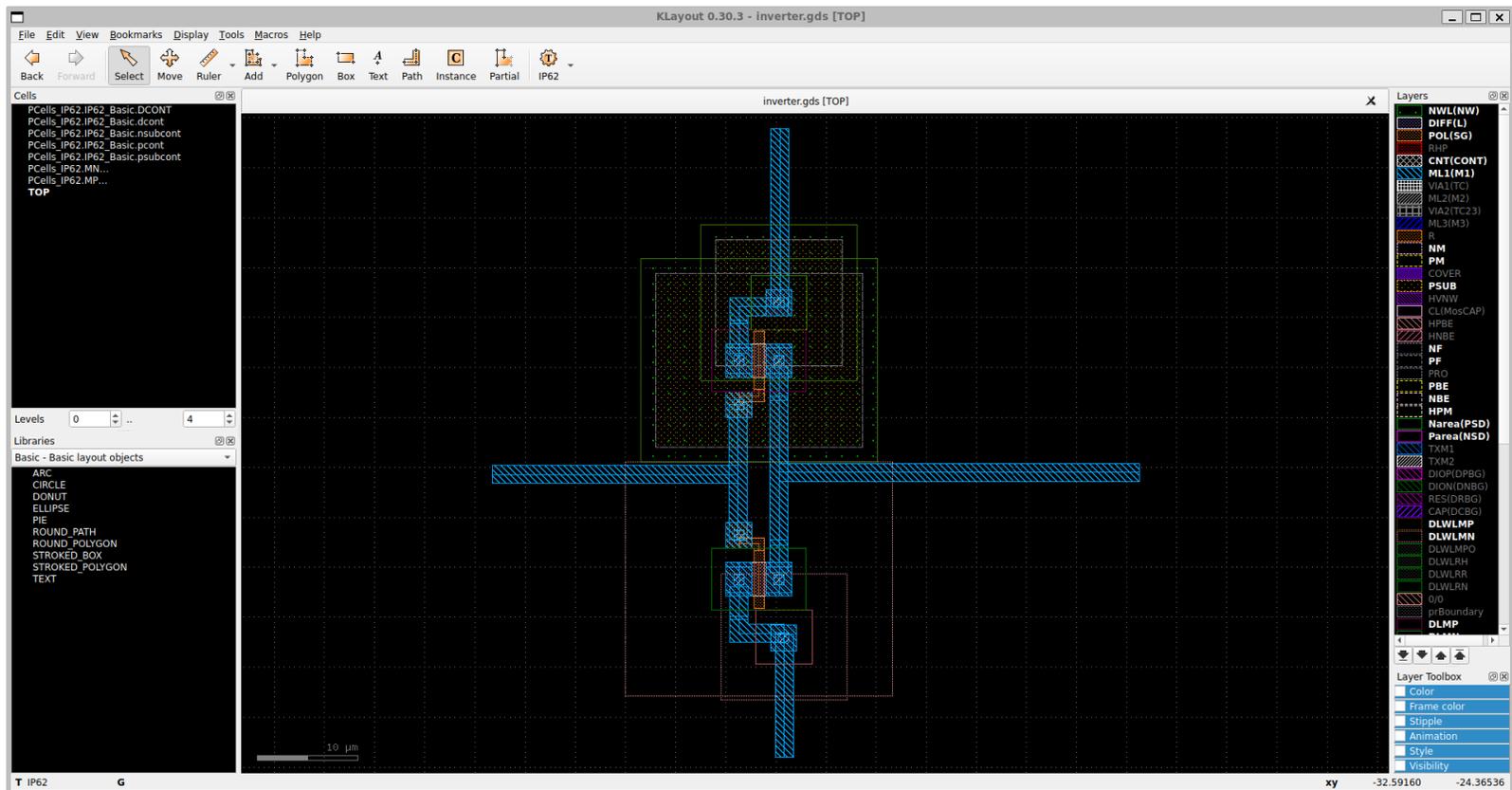


ngspice :
 過渡解析
 ベンチ
 マーク例

ngspice : 過渡解析シミュレーション結果

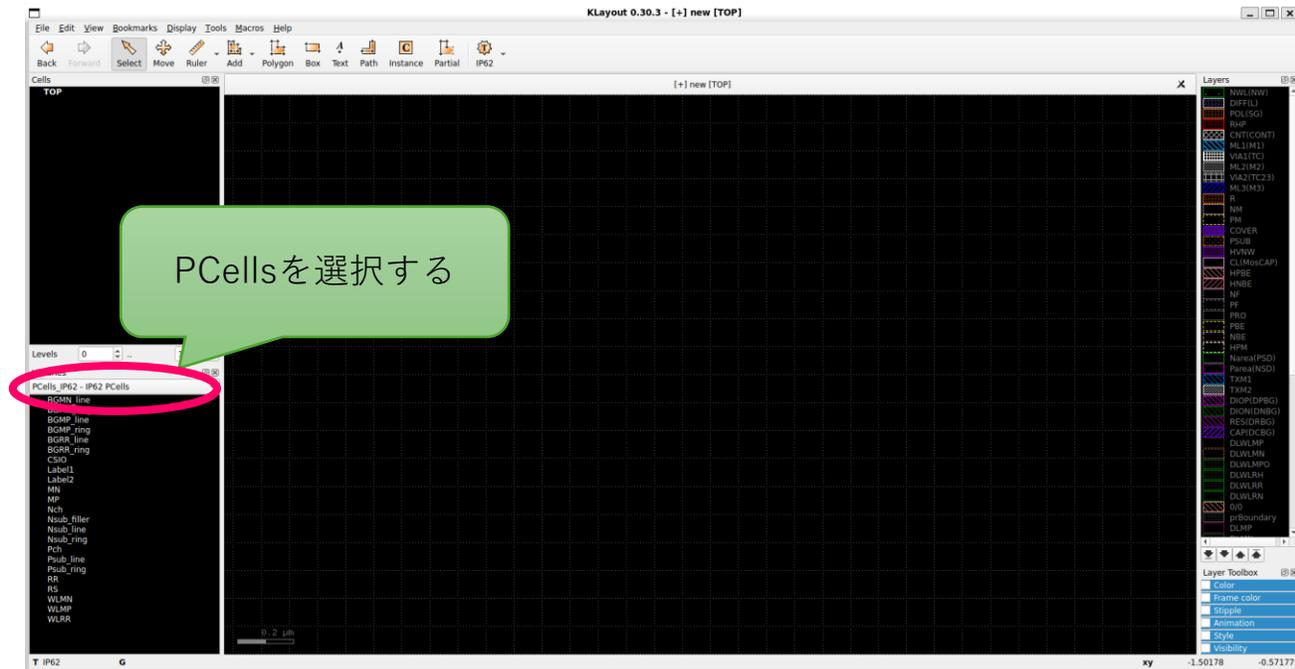
- 入力：青、出力：赤が交互
- インバータとして機能している



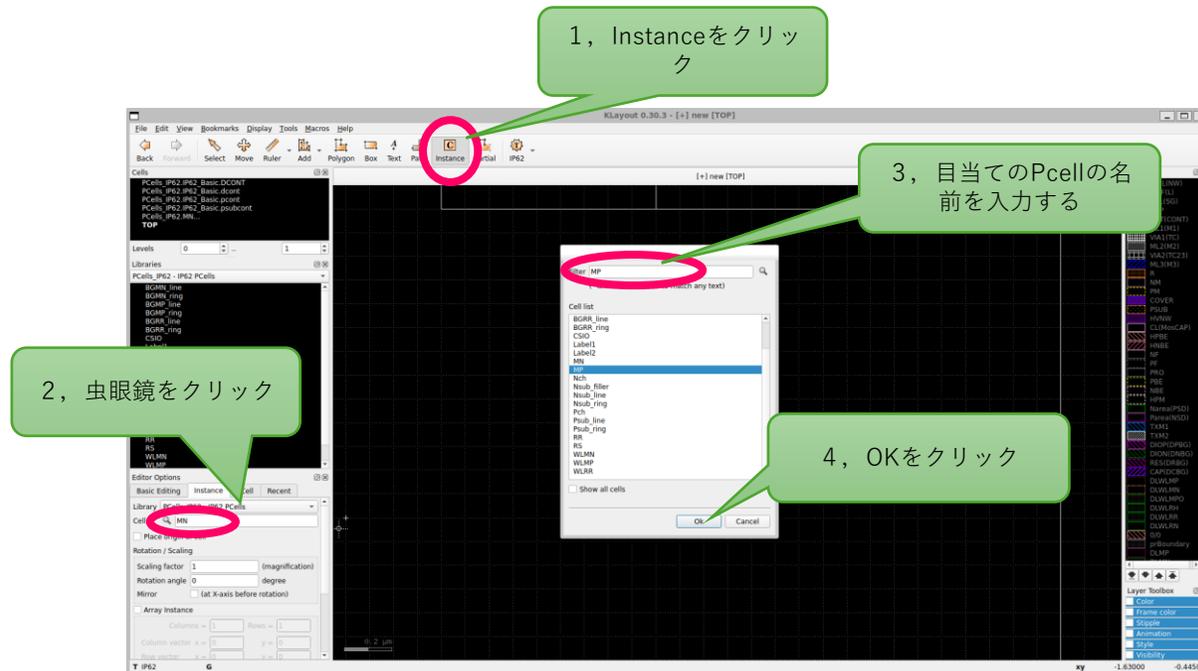


Klayout :
インバータ
回路

Klayout : P-Cellの使い方



Klayout : P-Cellの使い方



レイヤー一覧

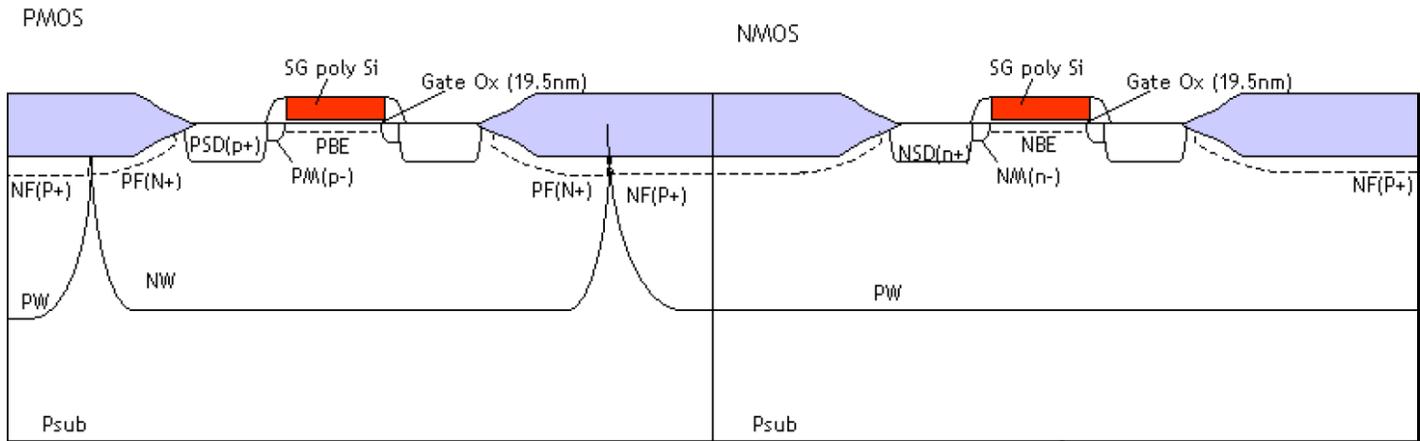
[マスクレイヤー構成]

表 I-1-1. マスクレイヤー一覧

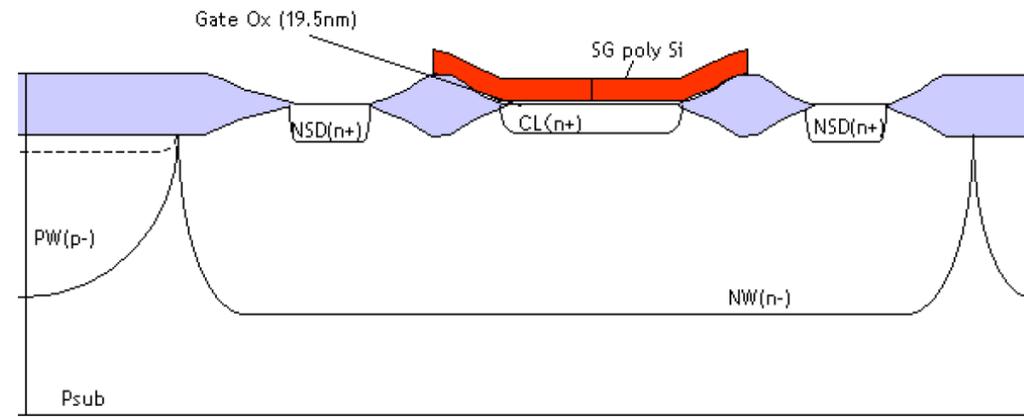
No.	レイヤ				素子													レイヤ概略	
	名称	レイヤNo.	Stream No.	データ	PMOS	NMOS	HVPMOS	HVMNOS	RH	RHV	RR	RN	RNHV	RS	CSIO	DP	DN		
1	PSUB	140	140	白	●													PW/P-sub層の切り分け	
2	NW	36	36	白	●													NW/P-sub層の切り分け	
3	HVNW	141	141	白														HVNW (低温度NW) /P-sub層の切り分け	
4	L	3	3	黒	●	●									●	●	●	LOCOS/パターン形成 (素子分離)	
5	NF	25	25	黒	●										●	●		素子周辺P+層形成 (NMOS用など)	
6	PF	26	26	白	●											●		素子周辺N+層形成 (PMOS用など)	
7	CL	143	143	白											●			CSIO下部電極形成	
8	HPBE	144	144	白														HVPMOSしきい値電圧調整	
9	HNBE	145	145	白														HVMNOSしきい値電圧調整	
10	PBE	146	146	白	●													PMOSしきい値電圧調整	
11	NBE	147	147	白		●												NMOSしきい値電圧調整	
12	HPM	33	33	黒	●	●					●			●	●	●	●	HVPMOSオフセット領域 (電界緩和) 形成	
13	RHP	148	148	白														RH抵抗形成	
14	SG	8	8	黒	●	●								●	●			CMOS,HVCMOSゲート形成、CSIO上部電極形成	
15	PM	35	35	黒	●	●								●	●	●	●	PMOS LDD形成	
16	NM	7	7	黒	●	●								●	●	●	●	NMOS LDD形成	
17	R	12	12	白														RR抵抗形成	
18	PSD	9	9	黒	●	●								●	●	●	●	PMOS/HVPMOSソース、ドレイン形成	
19	NSD	28	28	黒	●	●								●	●	●	●	NMOS/HVMNOSソース、ドレイン形成	
20	CONT	11	11	白														コンタクト形成	
21	M1	13	13	黒														メタル1層目配線	
22	TC	19	19	白														メタル1-メタル2 スルーホール形成	
23	M2	20	20	黒														メタル2層目配線	
非公開																			
26	PRO	14	14	白														すべての素子で必要	パッド開口部形成

素子構造 (断面構造)

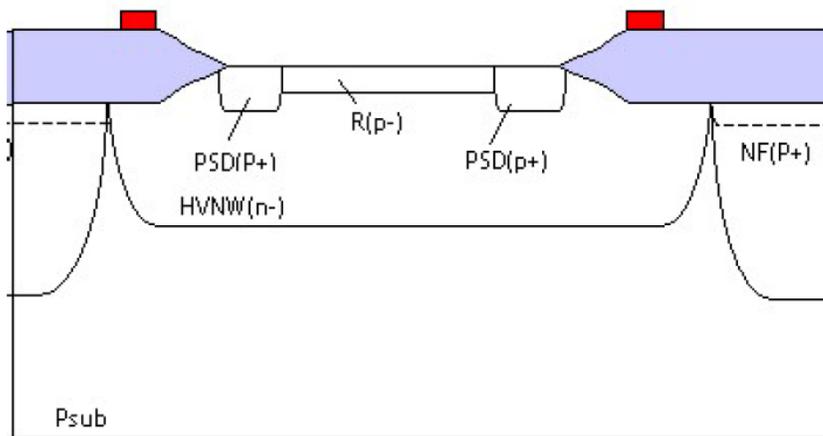
断面構造



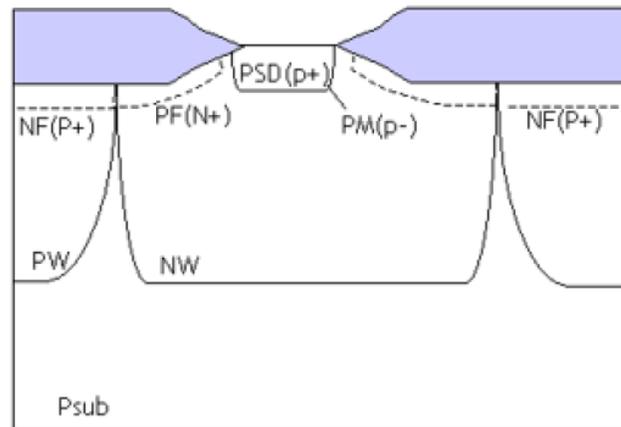
コンデンサ



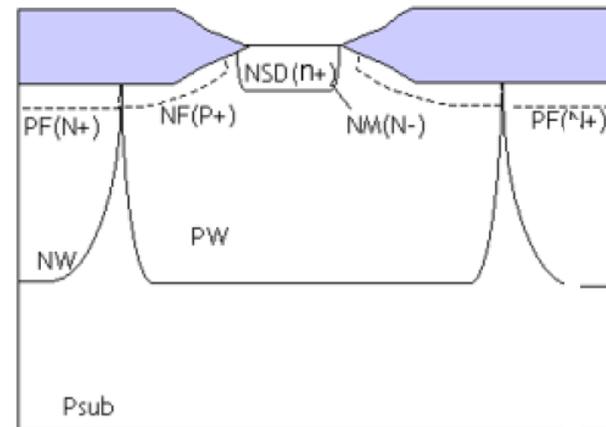
RR抵抗(中抵抗)



DP



DN



最大定格

表 I-2-2. 最大定格

素子名	BVDS	BVGS	—	備考
5VNMOS	8V	15V	—	—
5VPMOS	-8V	-15V	—	—
HVNMOS	非公開			
HVPMOS				
素子名	V (端子間)	V (島-端子(下部))	V (島-P ウェル)	備考
RH	非公開			
RHHV				
RR	27V	27V	100V	p-diff, 中抵抗
RN	非公開			
RNHV				
素子名	Imax	—	—	備考
RS	10mA	—	—	Poly-Si 抵抗
素子名	V (上部 - 下部電極)	V(下部電極-P ウェル)	—	備考
C	15V	50V	—	—
素子名	Vr	—	—	備考
DP	10V	—	—	—
DN	13V	—	—	—

素子特性

2. 素子特性

2. 1 素子リスト

表 I-2-1. 素子リスト

素子名	L(um)	W(um)	Spice Model 名	PCELL 名	備考
5VPMOS	1~30um	3.4~60um	PMOS	MP	
5VNMOS	1~30um	3.4~60um	NMOS	MN	※1
HVPMOS	非公開				
HVNMOS					
RH					
RHHV					
RR	13~100um	2.8, 4, 6, 12, 20um	F_RR	RR	p-diff, 中抵抗 ※3
RN	非公開				
RNHV					
RS	20~100um	4, 6, 12, 20um	F_RS	RS	Poly-Si 抵抗 ※3
C	28.5~120um	28.5~120um	m_CSIO	CSIO	
ダイオード(P)	-	-	DP	DP	サイズ固定
ダイオード(N)	-	-	DN	DN	サイズ固定 主にゲート保護に使用 順方向電圧加えて使用しないこと
ESD	-	-	-	-	TBD

表 I-2-3. MOSトランジスタ特性表

項目	記号	PMOSトランジスタ		NMOSトランジスタ		測定条件 (Ta=25°C)	
		MP	MP0	MN	MN0		
推奨動作電圧	ドレイン・ソース間電圧	VDS [V]	-5.75	非公開	5.75	非公開	-
	ゲート・ソース間電圧	VGS [V]	±5.75		±5.75		-
	ソース・バルク間電圧	VSB [V]	-5.75		5.75		-
	ドレイン・バルク間電圧	VDB [V]	-5.75		5.75		-
	ゲート・ドレイン間電圧	VGD [V]	-5.75		5.75		-
	ゲート・バルク間電圧	VGB [V]	±5.75		±5.75		-
	外挿しきい電圧	VTHO [V]	-0.93		0.85		-
	しきい電圧	VTH [V]	-0.55		0.55		Pch:Vds = -5V Nch:Vds = 5V
	β0	mA/V ²	-0.3		1.1		W/L=12.5/1.0
ゲート入力容量	Ciss [pF]	TBD	TBD	-			
	ドレイン接合容量	Cd [pF]	TBD	TBD	-		

※動作保証温度 … Tj -40°C~150°C

I-Vカーブ

[2. 2. 6 素子のI-Vカーブ] 測定温度 Ta = 25°C

表 I-2-7. CMOS トランジスタ

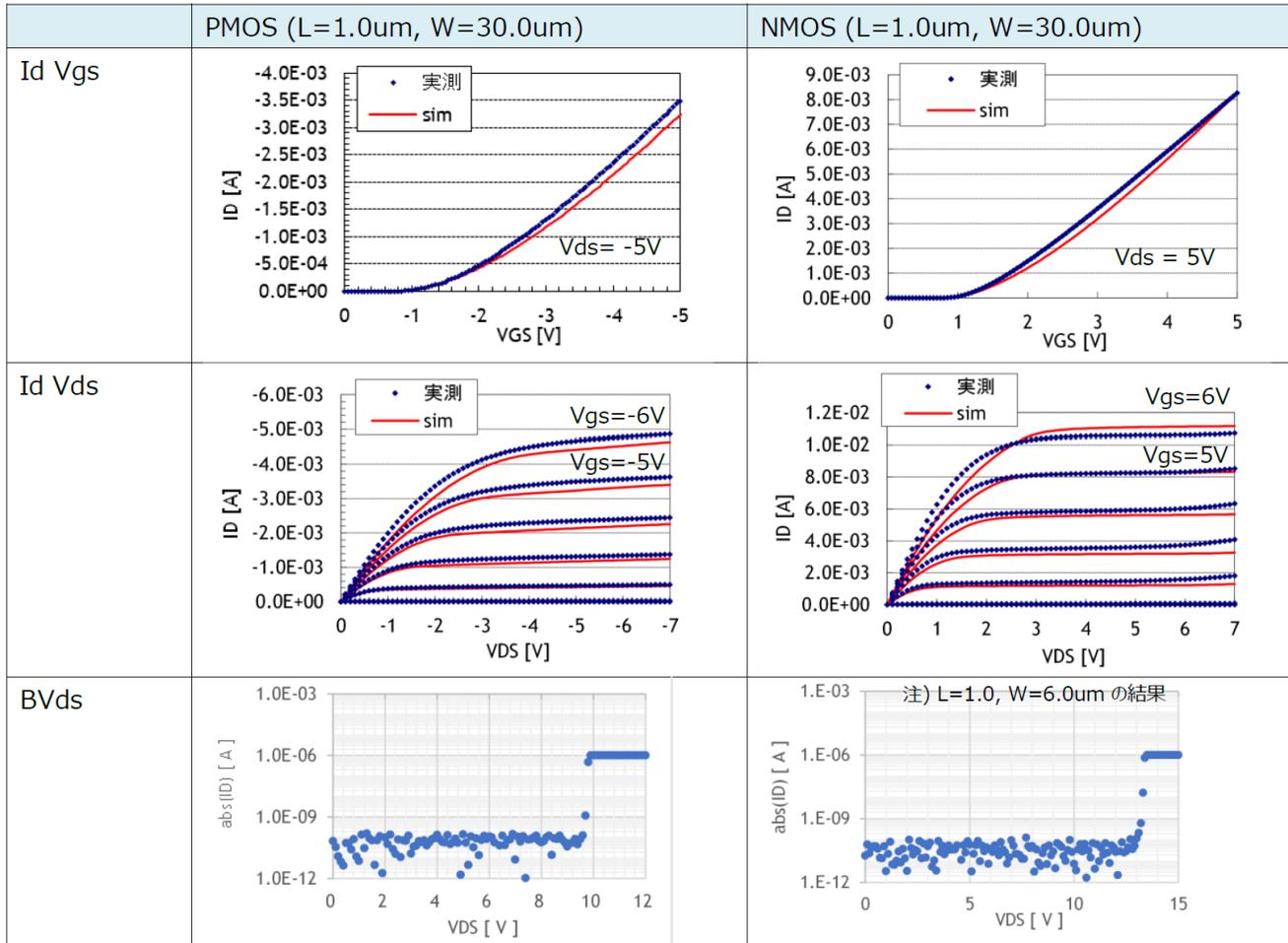
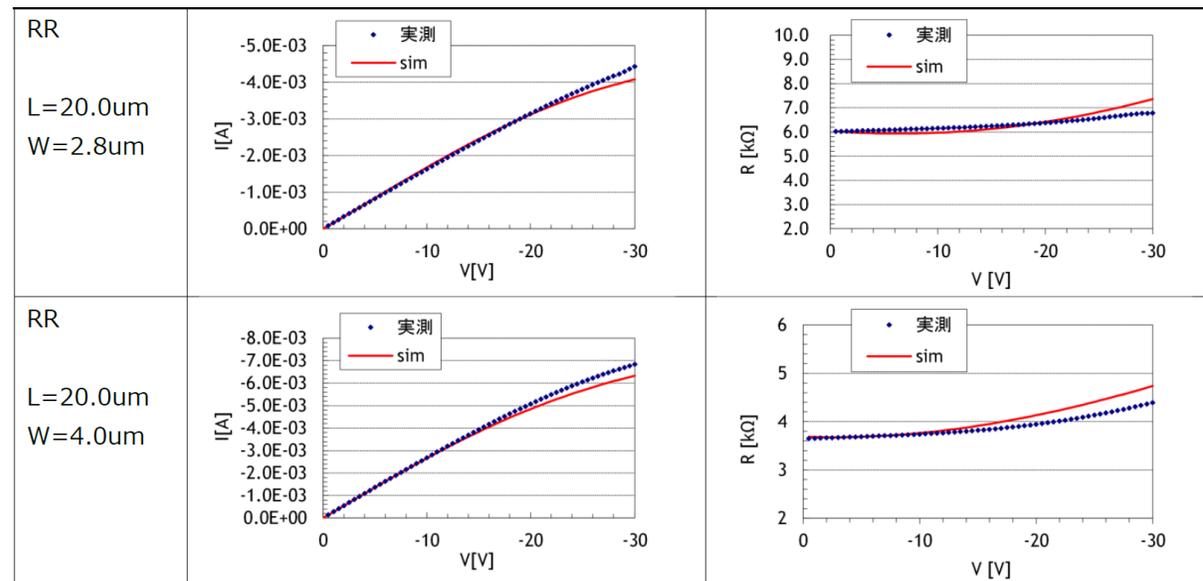
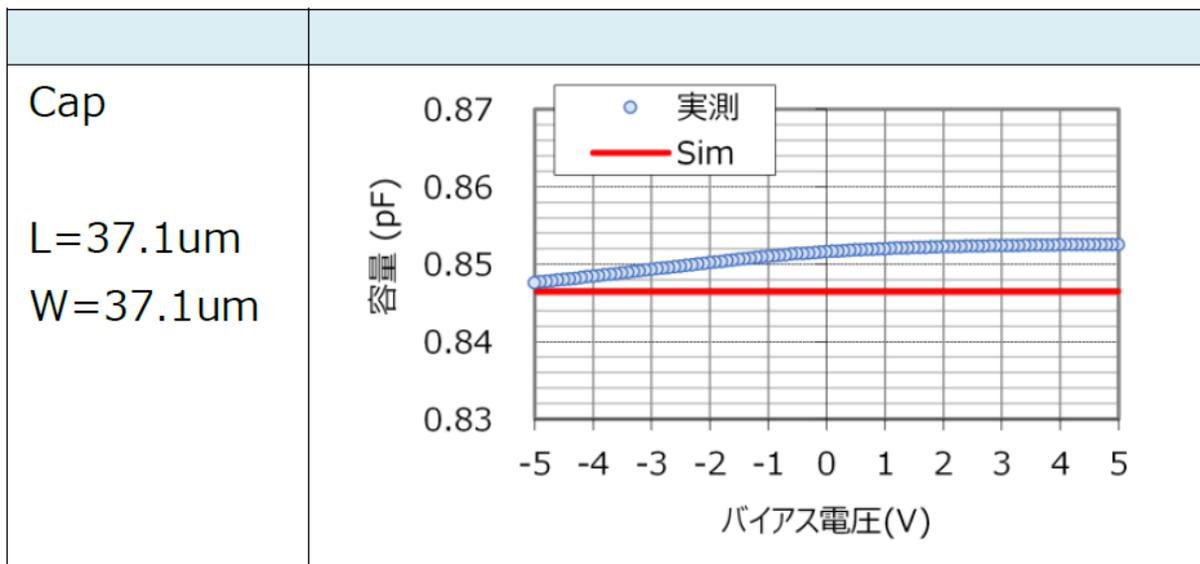


表 I-2-11. ダイオード

	Vf	Vr
DP		PMOSの BVds 参照
DN	カソード(PW)は 0V 以下禁止の為、 Vf 特性は未取得	NMOSの BVds 参照

容量・抵抗値

表 I-2-10. 容量



温度特性

表 I-2-13. 容量

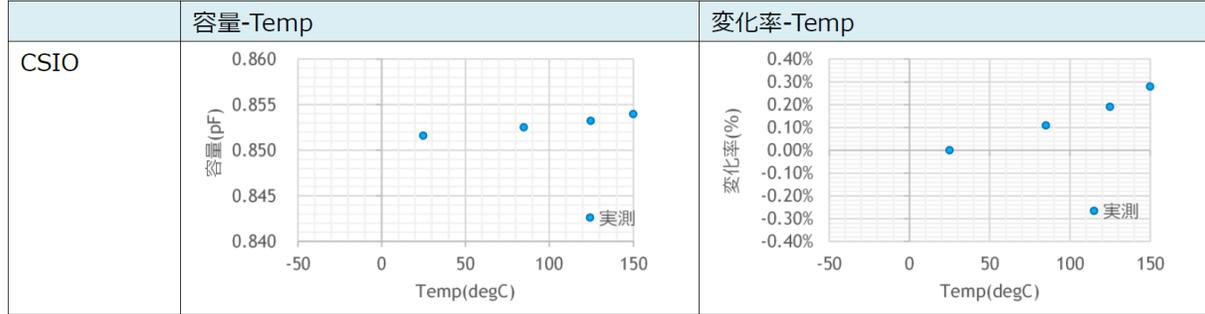


表 I-2-12. 抵抗 (2/2)

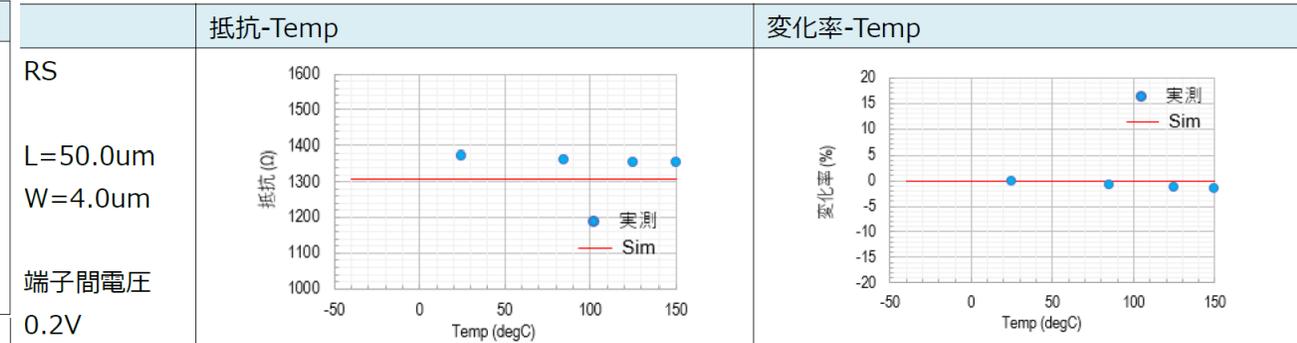
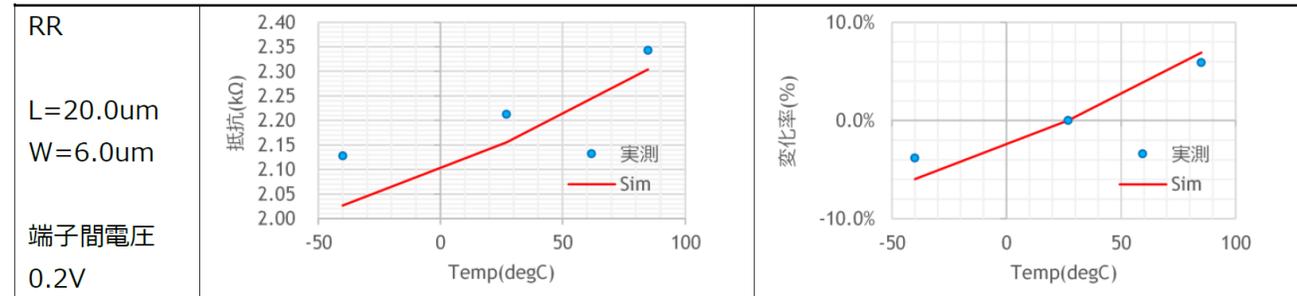
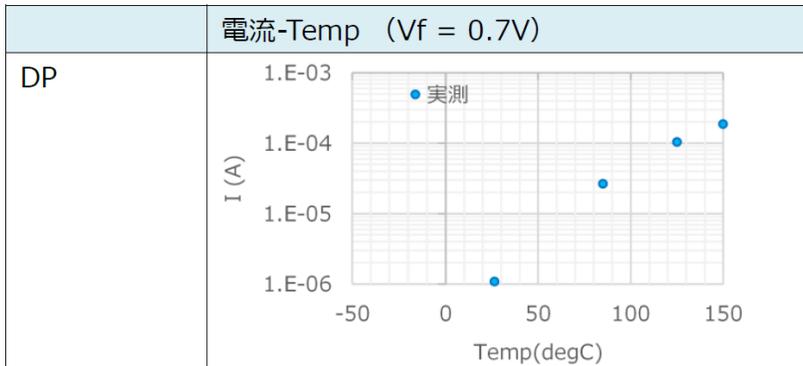
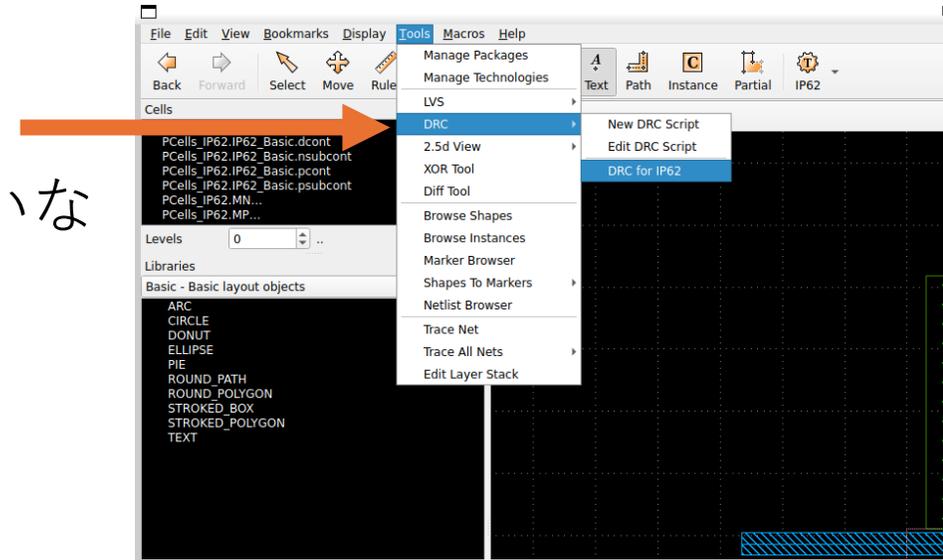


表 I-2-14. ダイオード

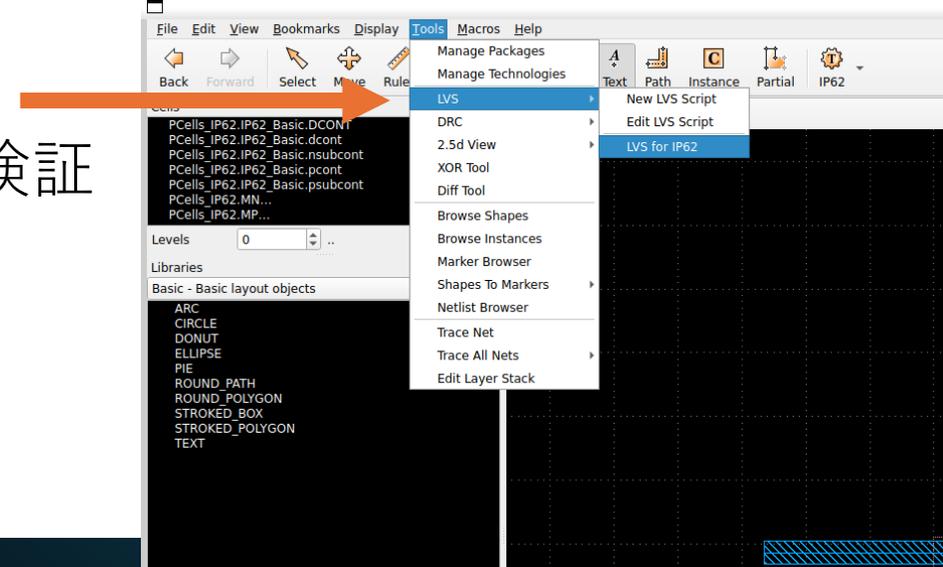


Klayout : レイアウト検証

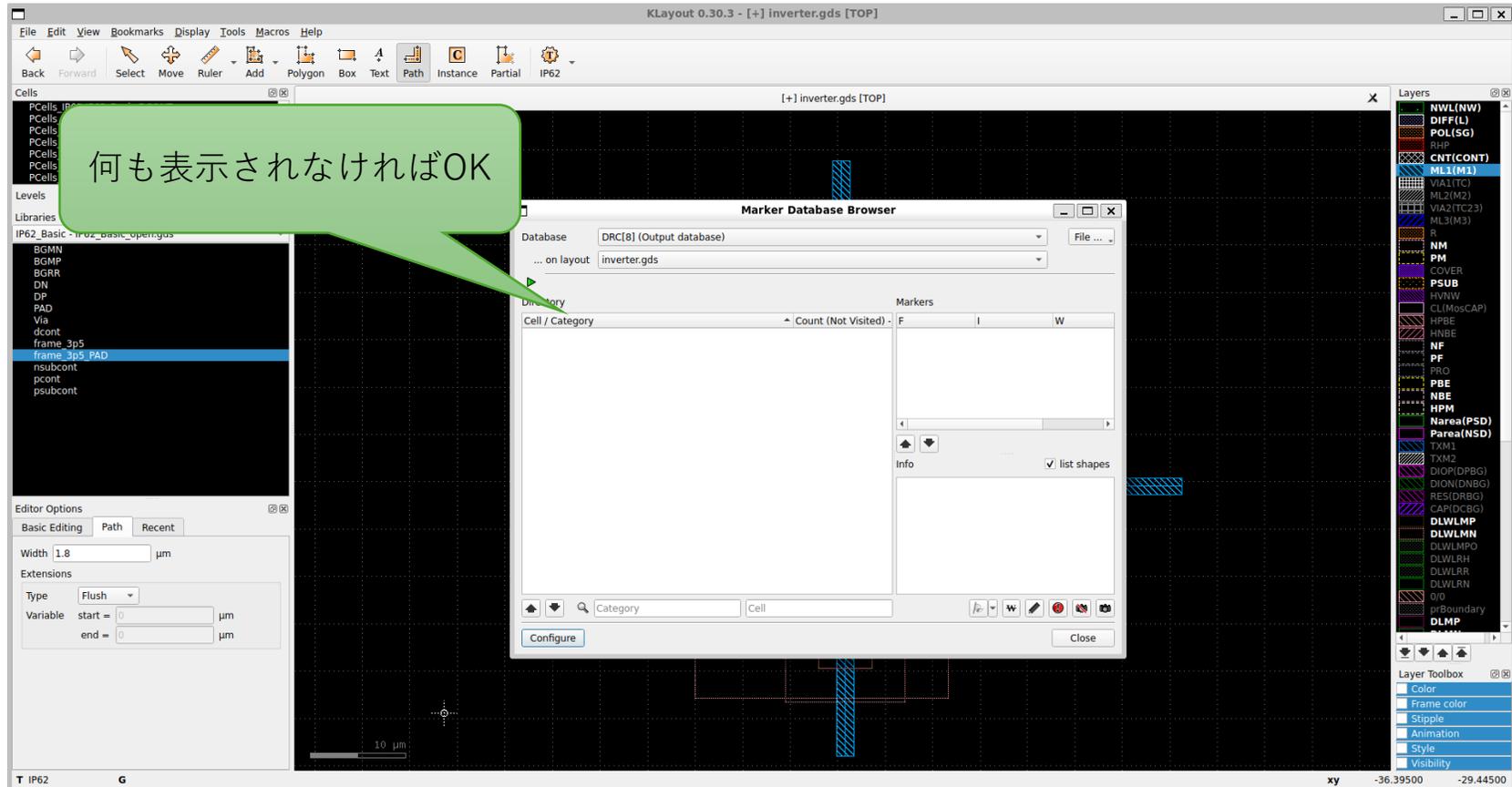
- Design Rules Check (DRC)
 - 指定されたデザインルールから違反していないか検証



- Layout Versus Schematic (LVS)
 - レイアウトが回路図通りに描けているか検証



Klayout : DRC OK



Klayout : LVS NG

The screenshot displays the KLayout 0.30.3 interface for an inverter.gds layout. A central window titled "Netlist Database Browser" shows a comparison between the layout and the netlist. The "Objects" column lists layout elements, and the "Reference" column lists netlist elements. Two entries are circled in pink, indicating mismatches:

- Layout: `1 / NMOS [L=1.2, W=3.4, (AS=9.52, AD=9.52, PS=12.4, PD=12.4)]`
- Reference: `2 / NMOS [L=1, W=3.4]`

Annotations highlight the errors:

- A green callout bubble labeled "エラーマーク" (Error mark) points to the circled entries.
- An orange callout bubble labeled "Lのサイズが違う" (L size is different) points to the difference in channel length (L) between the layout and reference.

The interface also shows a "Cells" panel on the left, a "Layers" panel on the right, and a status bar at the bottom indicating the current instance and coordinates.

Klayout : LVS OK

オールグリーンになる

Circuits	Objects	Layout	Reference
TOP	INVERTER	TOP	INVERTER
	↳ Pins		
	↳ A	A (3)	A (3)
	↳ Q	Q (3)	Q (3)
	↳ VDD	VDD (3)	VDD (3)
	↳ VSS	VSS (3)	VSS (3)
	↳ Nets		
	↳ A	A (3)	A (3)
	↳ Q	Q (3)	Q (3)
	↳ VDD	VDD (3)	VDD (3)
	↳ VSS	VSS (3)	VSS (3)
	↳ Devices		
	↳ NMOS	\$1 / NMOS [L=1, W=3.4, (AS=9.52, AD=9.52, PS=12.4, PD=12.4)]	2 / NMOS [L=1, W=3.4]
	↳ S	VSS (3)	VSS (3)
	↳ D	Q (3)	Q (3)
	↳ G	A (3)	A (3)
	↳ B	VSS (3)	VSS (3)
	↳ PMOS	\$2 / PMOS [L=1, W=3.4, (AS=9.52, AD=9.52, PS=12.4, PD=12.4)]	1 / PMOS [L=1, W=3.4]
	↳ S	VDD (3)	VDD (3)
	↳ D	Q (3)	Q (3)
	↳ G	A (3)	A (3)
	↳ B	VDD (3)	VDD (3)



シャトル



「文科省の半導体人材育成の拠点校」

	拠点校名(採択機関)	連携校名	事業名称
1	北海道大学	室蘭工業大学、北見工業大学、公立千歳科学技術大学、北海道科学大学、函館工業高等専門学校、苫小牧工業高等専門学校、釧路工業高等専門学校、旭川工業高等専門学校、九州工業大学	半導体を「つくる」「つかう」人材の育成に向けた北海道半導体人材育成プログラム
2	東北大学	弘前大学、岩手大学、秋田大学、山形大学、福島大学	東北半導体タレントハブの構築
3	東京科学大学 (運営拠点校)	横浜国立大学、東京理科大学	未来共創半導体イノベーションアリーナ(SiCA)～(半導体設計オーケストレーター)を輩出する人材育成拠点～
4	名古屋大学	豊橋技術科学大学、三重大学	東海地域半導体実践人材育成拠点
5	大阪大学	京都大学、神戸大学、京都工芸繊維大学、大阪公立大学	関西圏半導体人材育成拠点の構築
6	広島大学	岡山大学、山口大学、愛媛大学	中国四国半導体人材育成加速プログラム -中国四国 VISTA(Value-Integrated Semiconductor Talent Acceleration)-
7(※)	九州工業大学	長崎大学、鹿児島大学、佐賀大学、宮崎大学、琉球大学、大分大学、熊本大学	九州沖縄発・半導体産業を牽引する人材創出エコシステム拠点形成
	熊本大学、九州大学	-	半導体製造と設計の知が交差する「新生シリコンアイランド九州」人材育成拠点の形成

※九州工業大学及び熊本大学・九州大学は一つの拠点となることを要件に採択。

集積回路設計・評価ハンズオン

九州地域では、TSMC/JASMをはじめとする半導体製造メーカーの集積力での半導体エコシステム構築が始まっています。しかし、その中核を担う設計者が問題となっています。そこで九州大学価値創造型半導体人材育成センターのため、半導体の設計から評価までの技術を一気通貫で習得できるセミナーを開催します。

内容: CMOS集積回路 (Inverter) をOpen Toolにより設計し、レイアウトします。各海理化のシャトルサービスにより試作します。また、出来上がったICチップを測定しチップは持ち帰ることができます。

日時場所: 設計ハンズオンセミナー: 2025年9月24日~25日、九州大学 W2-325

ICチップお渡し会 & 評価実習: 2026年3月(未定)、九州大学内

※ 9月、3月の2回で1つのセミナーです。WindowsノートPCが必要です。

または、こちら

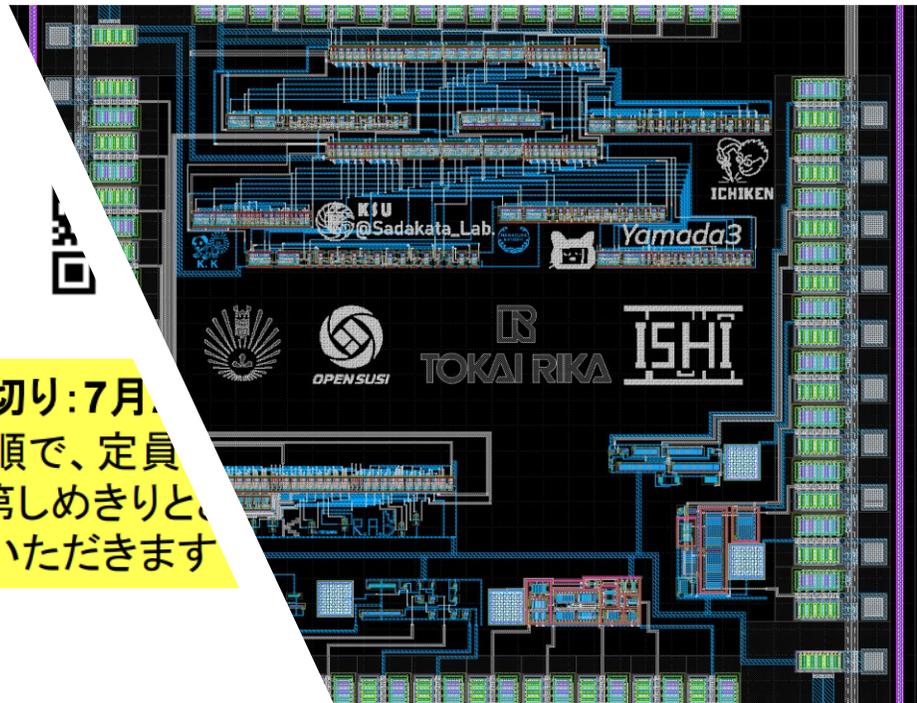
申し込み方法: ・【件名】に参加したいセミナーの名称を記入ください。

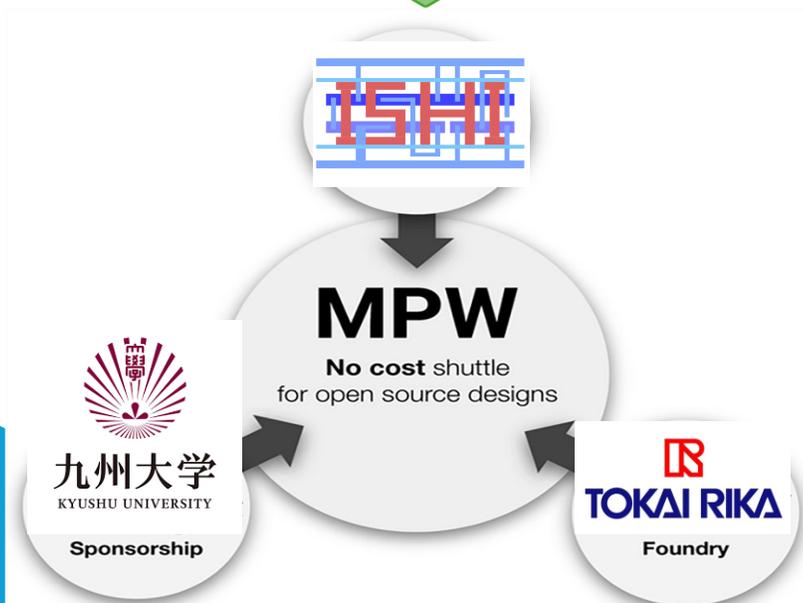
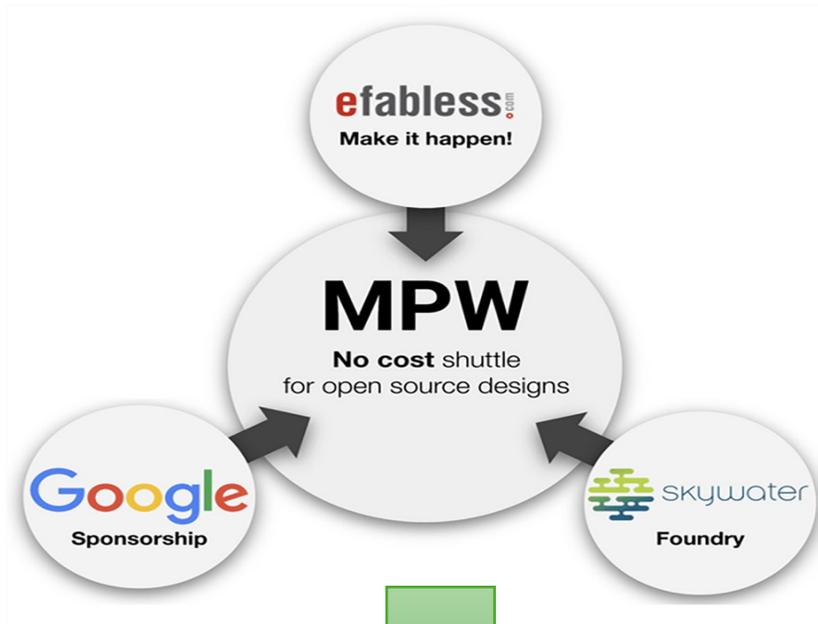
・お名前、お名前(ローマ時)、ご所属、メールアドレス をお知らせください。

申し込み先: class_program-at-ecsvc.ed.kyushu-u.ac.jp -at- =@

ご協力: OPEN SUSI, ISHI-KAI, AIST solutions、株式会社東海理化

締め切り: 7月
先着順で、定員
り次第しめきりと
させていただきます





2025年のOpenMPW！

• OpenMPW構造のシャトル

- コミュニティー
 - eFabless社 ⇔ ISHI会
- スポンサー
 - Google社 ⇔ 九州大学
- ファブ：
 - SkywaterPDK ⇔ 東海理化PDK

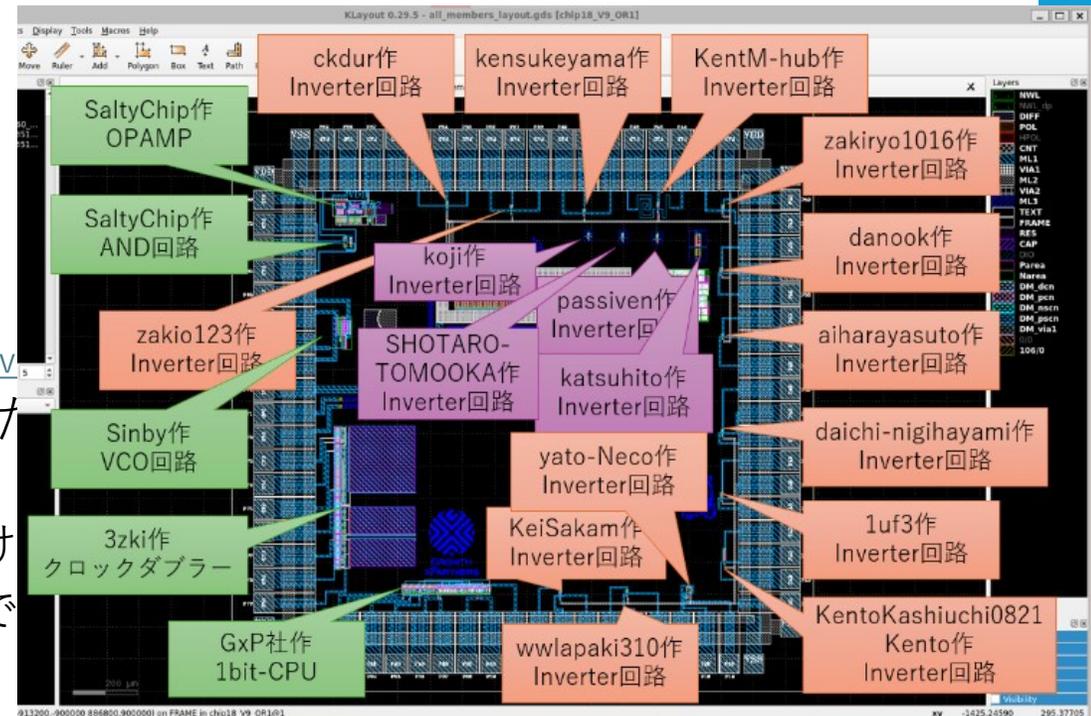
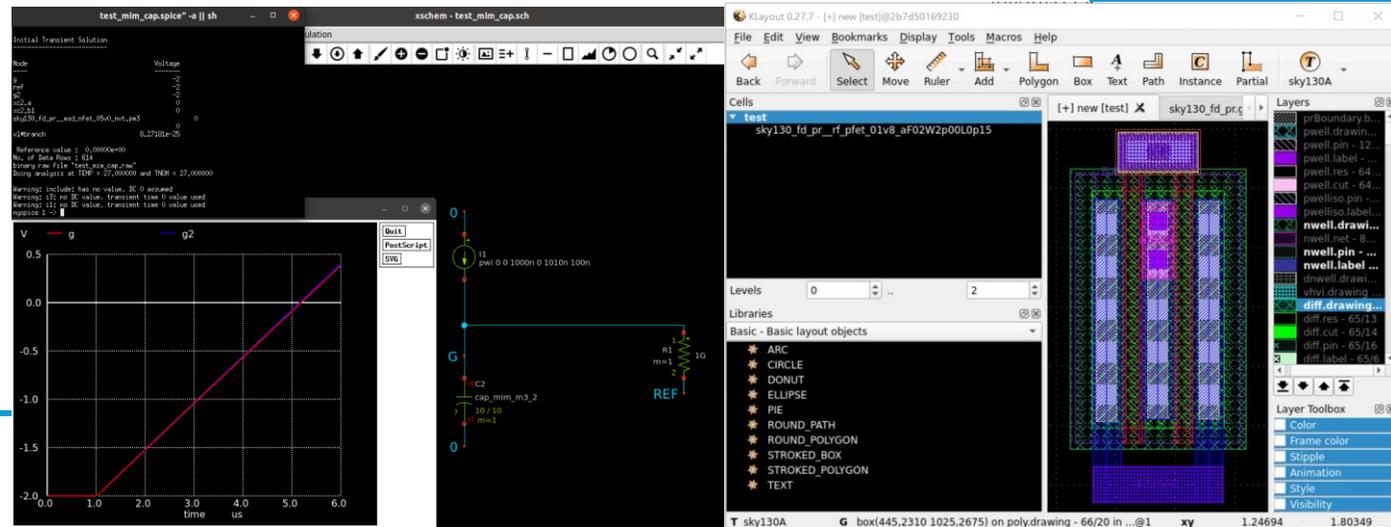
ISHI会版OpenMPW-TR10-2として開催！

ハンズオンセミナー

- 知識ゼロから半導体設計の基礎がすべて学べる！

一番簡単なインバーター回路のハンズオンセミナー

- Xschemによる回路設計
 - トランジスタの組み合わせで機能を実現する作業
- ngspiceによる回路特性シミュレーション
 - 上記の回路が正しく動作するかを検証する作業
- klayoutによる回路デザイン
 - トランジスタを実際の半導体の上に配置する作業
- 丸々1日の講習会となります
 - 講習会実施実績
 - <https://ishikai.connpass.com/event/303102/>
 - https://www.noritsuna.jp/download/ishi_20231110_3zki_v
- 参加者の声（半導体設計未経験者。電子工作をしただけのレベル）
 - チップの設計体験によりすごく技術的な刺激を受けました
 - 半導体は全く未知のものだったが理解できたことで見ることが出来た



ハンズオンセミナー： ターゲット

- 初めての「半導体設計を体験してもらう」ことが目的
 - ソフトウェアやハードウェアの企業内に半導体設計者を増やす
- 参加者のモチベーション
 - 半導体って話をよく聞くようになったので、具体的に知りたい！
 - 半導体の基礎知識
 - 半導体の工場のプロセスの内容
 - もっとコンピュータの動作原理を知りたい！
 - 最近、自作CPUが流行っているらしい
 - どうやらコンパイラレベルさえ隠蔽されてしまったためかより原理的などところへの回帰が起こっている

日の丸半導体の復権なるか 北海道の「ラピダス」新工場、急ピッチで建設

次世代半導体の国産化を目指すラピダスが、北海道千歳市での新工場建設を急ピッチで進めている。

© 2024年05月29日 08時32分 公開

[産経新聞]



次世代半導体の国産化を目指すラピダスが、北海道千歳市での新工場建設を急ピッチで進めている。工場を起点に北海道を半導体産業の集積地とする構想も浮上し、地元は沸く。量産までの総投資額は5兆円で、経済産業省の補助金はすでに1兆円近くに達した。国主導の産業振興の新たなモデルケースとなるか、注目されている。



44個のロジックICを使った「自作CPU組み立てキット」が明日発売

2023.03.02 12:20 更新

2023.03.02 取材

ビット・トレード・ワン

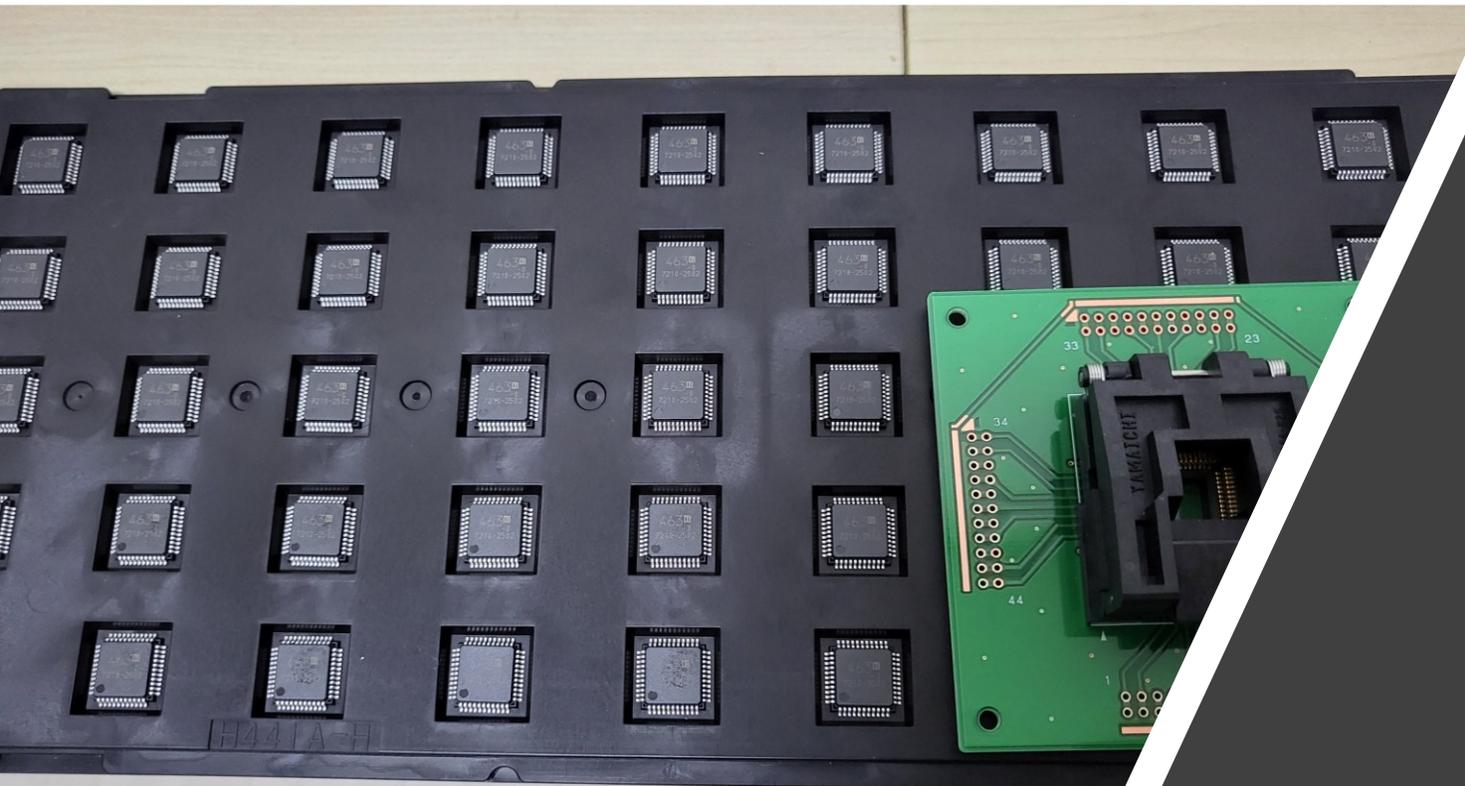
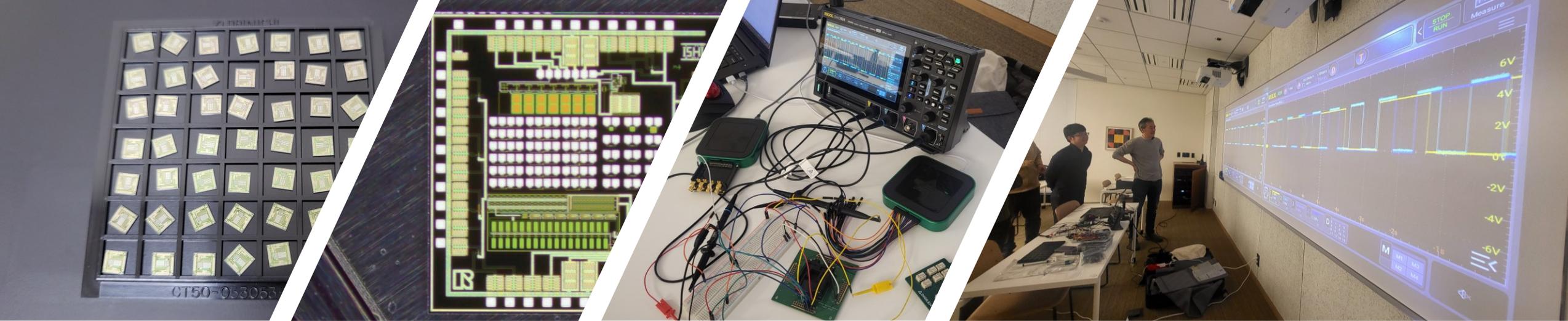


組み立ては5~6時間？CPUの構造が学べる“歯ごたえのある”ワークキット

ロジックICで動作する自作CPUの組み立てキット「ロジックICで創る自作CPU組み立てキットTTM8」がビット・トレード・ワンから3月3日に発売。Shigezoneにて実機展示と予約販売が始まっている。なお同店では発売記念特価として、キットのみを税込27,500円、解説書籍同梱版を税込29,500円で販売（3月3日以降予告なく終了）する。



測定会 & お渡し会



東海理化の チップ

ISHI会の情報

- メンバー数
 - 550名Over (20-30名ほど常にアクティブ)
- ホームページ
 - <https://ishi-kai.org/>
- Discord上で活動中
 - <https://discord.gg/RwAWF5mZSR>
- イベント告知 (勉強会など)
 - <https://ishikai.connpass.com/>
 - 20~50名ほどが常時参加

