

各種オープンPDK/EDA 駆け足紹介

ISHI会・OpenSUSI



アジェンダ

- オープンPDK
- オープンソースEDA
 - ロジック系（デジタル系）
 - アナログ系



オープンPDK



オープンPDKと対応ファブ

シャトル	ChipCreate(米)	Wafer.space(米)	iHP(独)	東海理化 (日)	ICsprout(中)
プロセス	Sky130nm	GF180nm	130nm	1000nm	55nm
サイズ	10mm ² (3.1mm x 3.2mm)	20mm ² (3.99mm x 5.07mm)	2mm ² (1.4mm x 1.4mm)	10mm ² (3.5mm x 3.5mm)	1mm ² (最低サイズ)
価格	\$15,000	\$8,000	無料	約80万円	約3万 元 /1block
定期シャトル回数	年3回 (3,9,11月)	不定期	年4回 (3,6,9,11月) 試作のみ	年2回 (5,10月)	不明

発注どうする？
クレジットカードしか使えない

<https://opensusi.org/>

SHUTTLE SERVICE

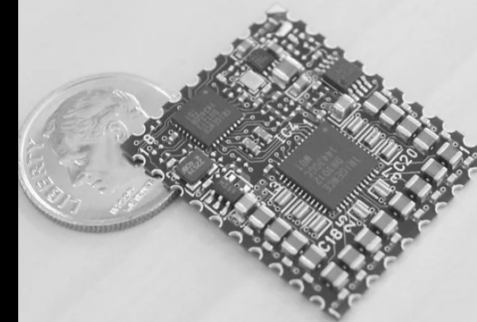
サービス提供中ではありません

Not in service yet.

Analog shuttle service (TEST)

¥100,000

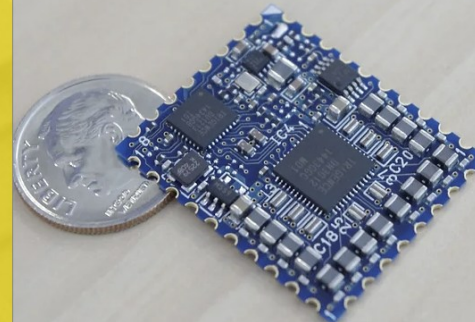
[View Details](#)



Digital shuttle service (TEST)

¥1,000,000

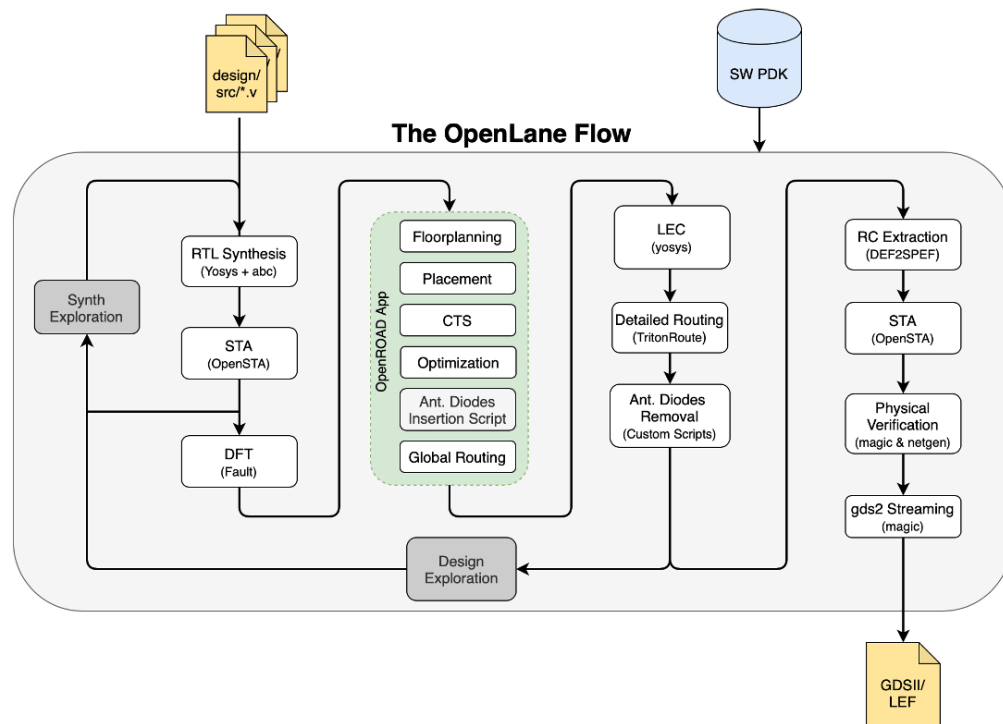
[View Details](#)





ロジック（デジタル）系オープンソースEDAツール

LibreLane



LibreLane

License: Apache 2.0 Python: 3.8 code style: black mypy: checked Built with Nix

Open in Colab docs: passing Community: FOSSi Chat

LibreLane is an ASIC infrastructure library based on several components including OpenROAD, Yosys, Magic, Netgen, CVC, KLayout and a number of custom scripts for design exploration and optimization, currently developed and maintained by members and affiliates of the [American University in Cairo Open Hardware Lab](#) under the stewardship of the [FOSSi Foundation](#).

A reference flow, "Classic", performs all ASIC implementation steps from RTL all the way down to GDSII.

You can find the documentation [here](#) to get started. You can discuss LibreLane in the [FOSSi Chat Matrix Server](#).

- Verilog -> GDS変換に必要な各種ソフトウェアをパッケージにしたソフトウェア群ソフト
 - <https://github.com/librelane/librelane>
 - OpenLaneからの派生プロジェクト
 - T大統領により米国があの状態なのでFOSSi Foundationが引き継いだ

LibreLaneフロー詳細

合成		フロアプランと電源供給		配置		クロックツリー合成と配線		GDS生成とチェック	
ツール名	機能内容	ツール名	機能内容	ツール名	機能内容	ツール名	機能内容	ツール名	機能内容
yosys	RTLを論理合成	init_fp	コア領域の定義	RePLace	グローバル配置	TritonCTS	クロックツリーの合成	Magic	GDSIIファイル生成
abc	PDKマッピング	ioplacer	入出力ポートの設置	Resizer	最適化	FastRouteとCU-GR	グローバル配線	Magic	DRC (Design Rule Check) とアンテナチェック
OpenSTA	静的タイミング解析	pdn	給電ネットワークの生成	OpenDP	ローカル配置	TritonRoute	ローカル配線	Netgen	LVS (Layout vs Schematic) チェック
		tapcell	タップとデカップセルの挿入			SPEF_Extractor	寄生フォーマットの抽出	CVC	回路妥当性検証

FOSSi Foundation

- EU系のオープンソース半導体推進団体
 - <https://fossi-foundation.org/>
 - 現在のオープンソース半導体の中心地になりつつある

**Unleash the
powers
of open source to
your chips**

**The FOSSi Foundation is the
custodian of the Free and Open
Source Silicon movement.**

OpenVAF

OpenVAF is a Next-Generation Verilog-A compiler that empowers
the open source silicon revolution.

OpenVAF

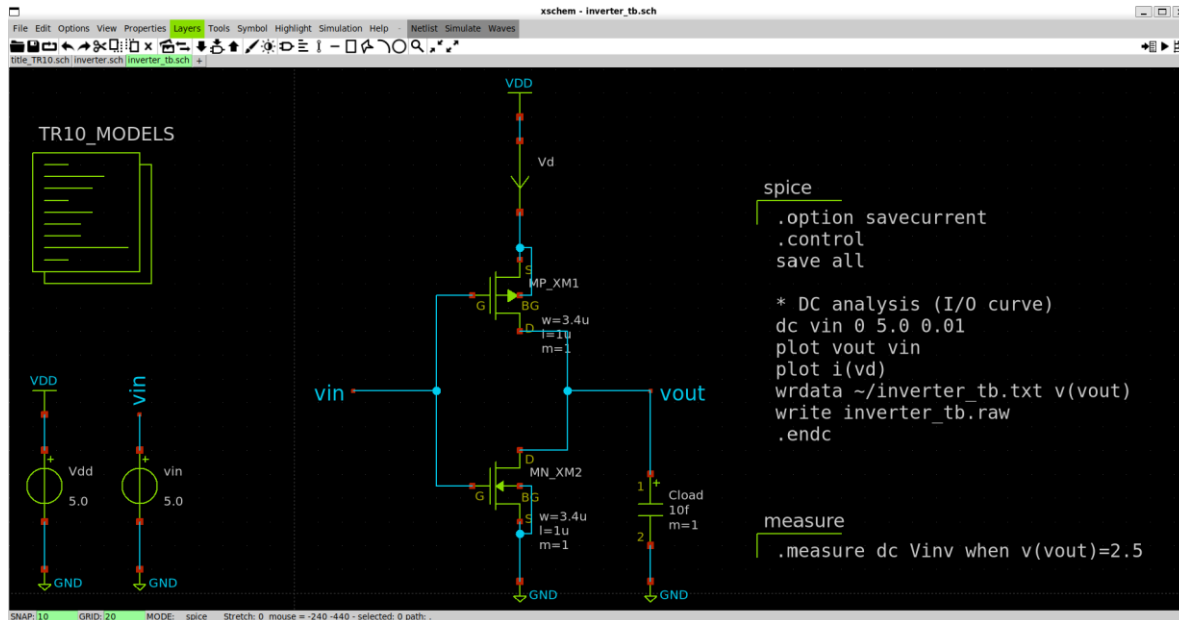
- 微妙にオープンじゃないVerilog-Aコンパイラ
 - <https://openvaf.semimod.de/>
 - これしか無いので使うしかない



アナログ系EDAツール



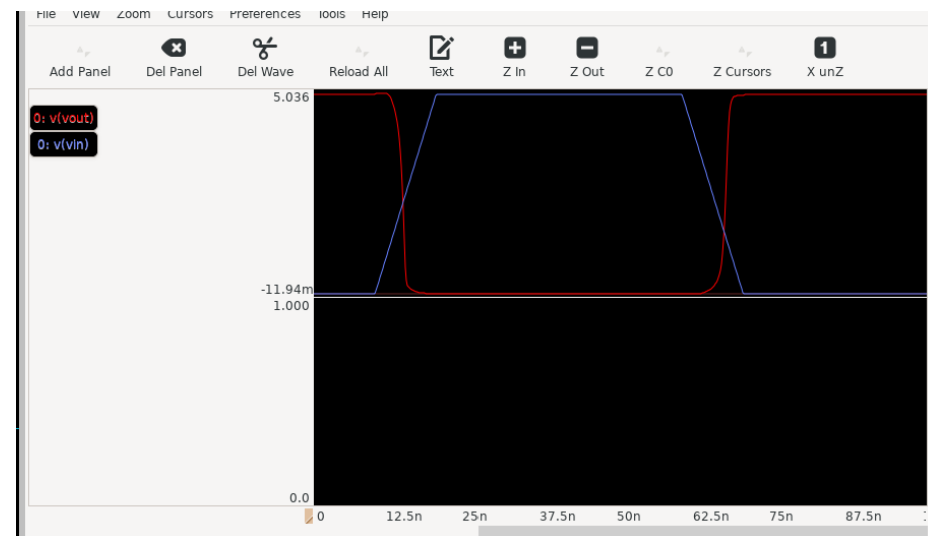
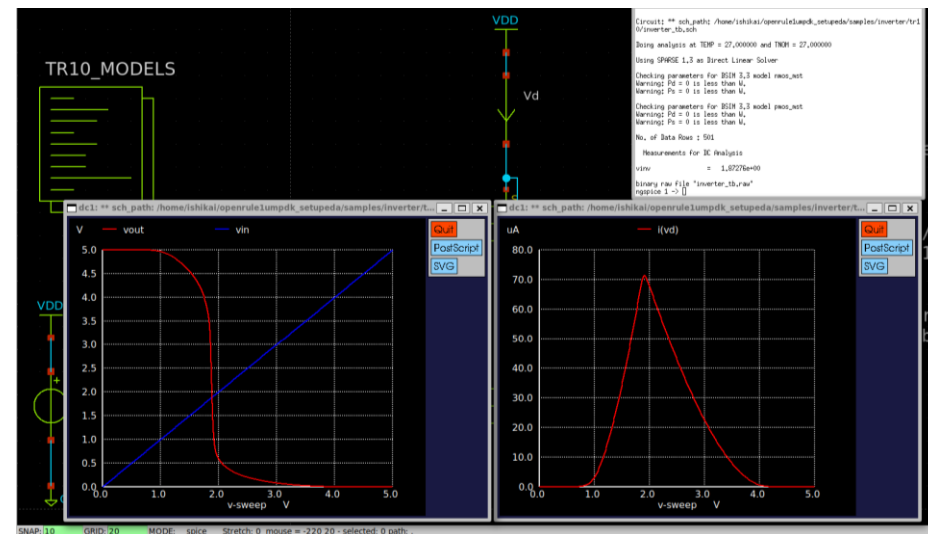
回路図エディタ： Xschem



- 微妙に古臭いけど、まだまだ現役回路図エディタ
 - <https://xschem.sourceforge.io/stefan/index.html>

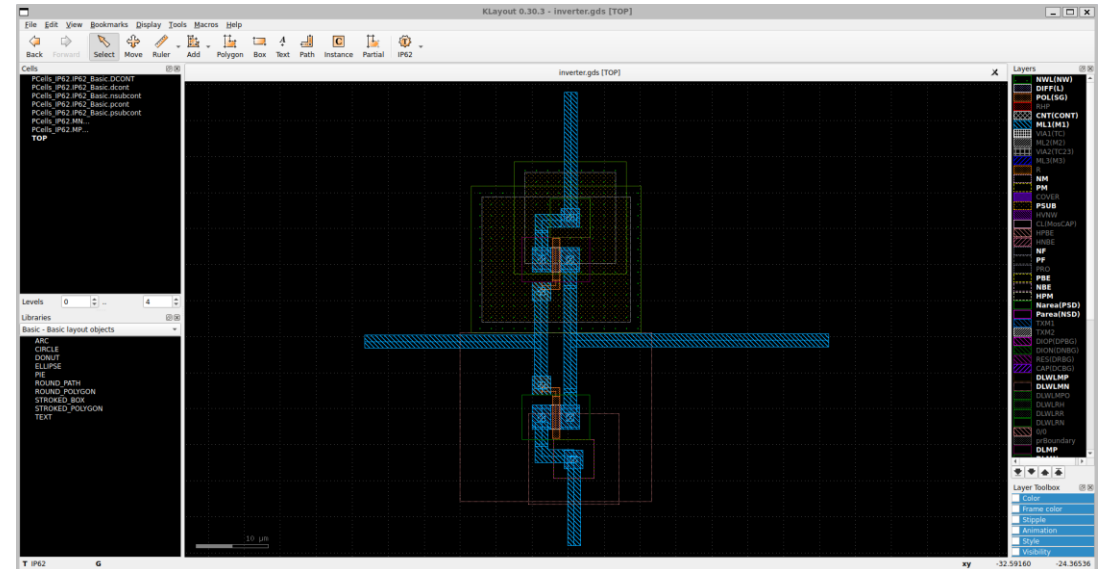
シミュレーター： ngspice

- 並列処理やGPU処理ができない時代に取り残されつつあるspice
 - <https://ngspice.sourceforge.io/>



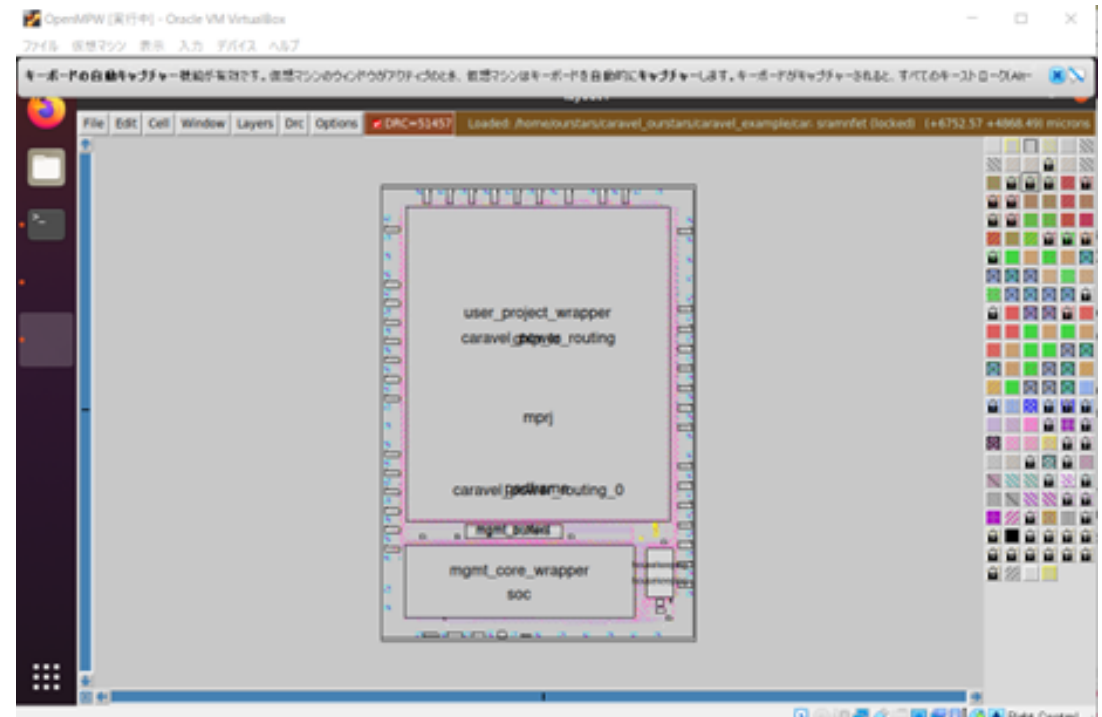
レイアウトエディタ：KLayout

- モダンUI搭載レイアウトエディタ。
ただ、まだ完璧ではない。
 - <https://klayout.de/>



レイアウトエディタ：magic

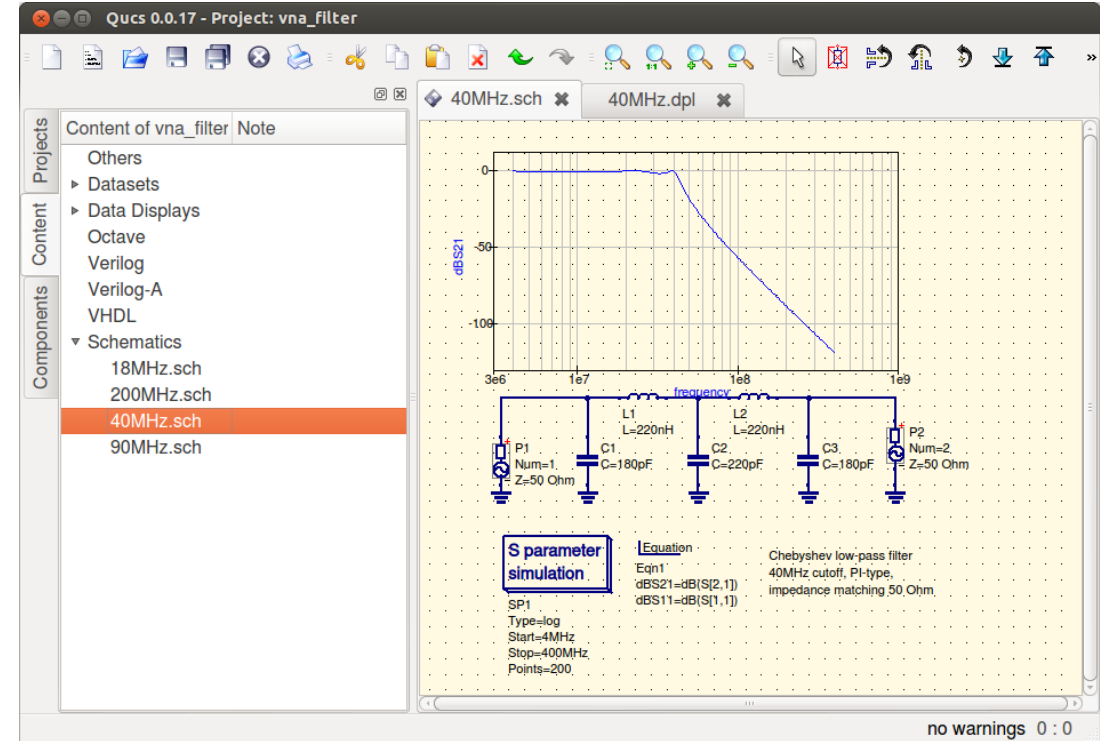
- 絶望の古さを醸し出すレイアウトエディタ。ただ、PEXはこれでしか動かない。
 - <https://opencircuitdesign.com/magic/>



- 以上が基本セット
- これ以降は世代交代が起きそうなソフトウェア紹介
 - ただし、非対応なオープンPDKが多い

回路図エディタ：QUCS

- MATLABのSIMLINKライクな回路図エディタ。Probeなどが充実している。
 - <https://qucs.sourceforge.net/>

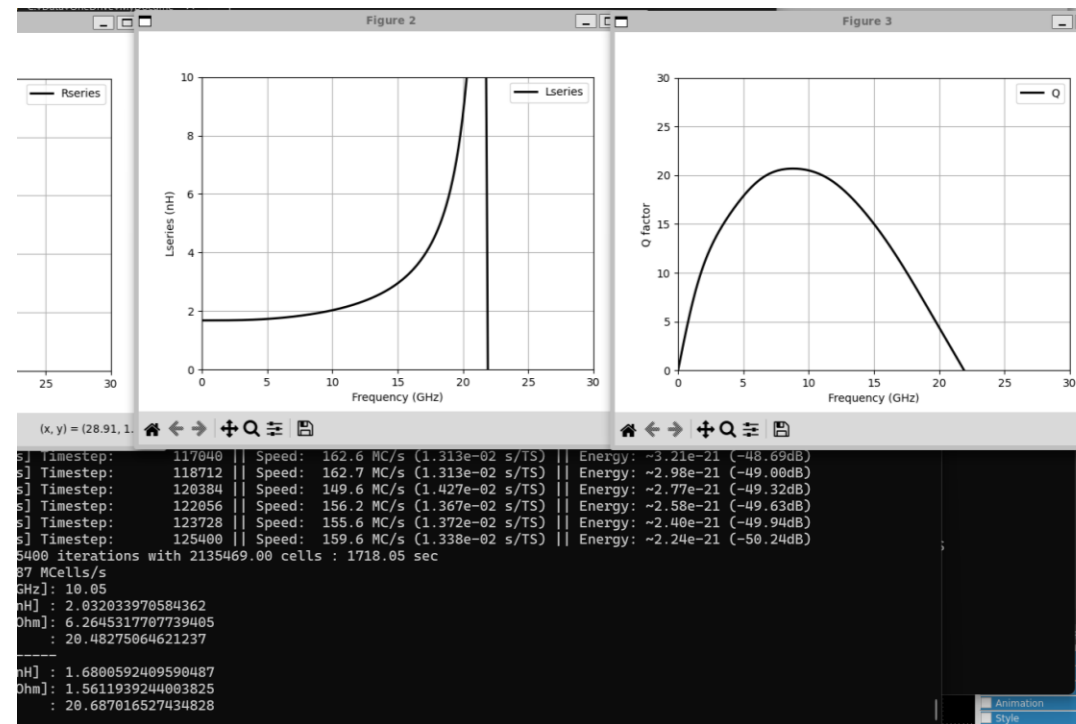
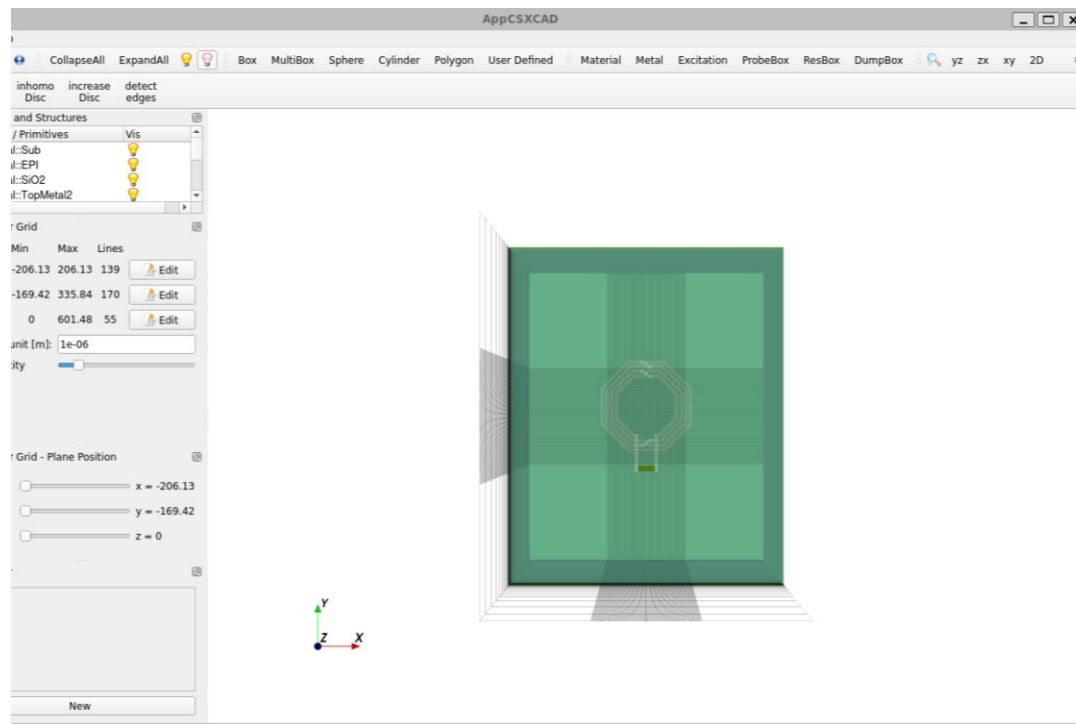




シミュレーター： Xyce

- 並列化したngspice。速度の桁が違うので使ったら戻れない。
 - <https://xyce.sandia.gov/>

- これ以降は専門ソフトウェア紹介
 - PDKとは関係ないものもあり

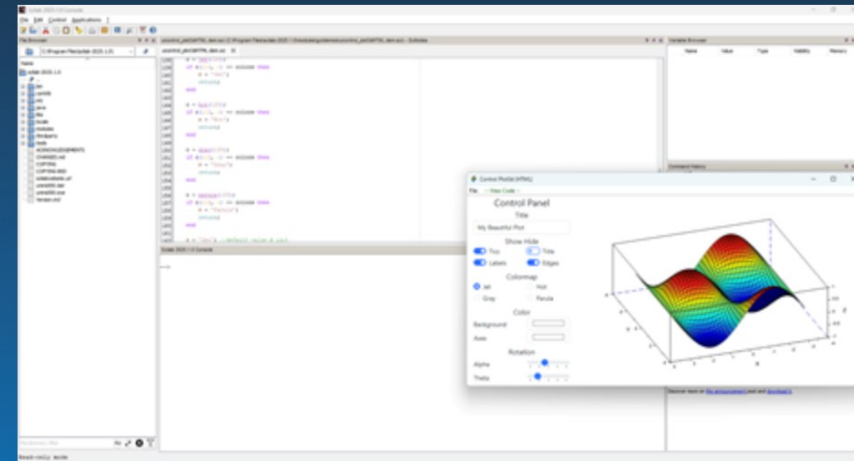


電磁界解析： OpenEMS

- FDTD法で解くので遅いが、インダクタの設計において無いよりマシ
 - <https://www.openems.de/>

Download Scilab 

Open source software for numerical computation
Windows, Linux and macOS



シミュレーター：
SciLab

- MATLABクローン。フィルター設計などはこれで！
 - <https://www.scilab.org/>

ISHI会の情報

- メンバー数
 - 550名Over (20-30名ほど常にアクティブ)
- ホームページ
 - <https://ishi-kai.org/>
- Discord上で活動中
 - <https://discord.gg/RwAWF5mZSR>
- イベント告知 (勉強会など)
 - <https://ishikai.connpass.com/>
 - 20～50名ほどが常時参加

