

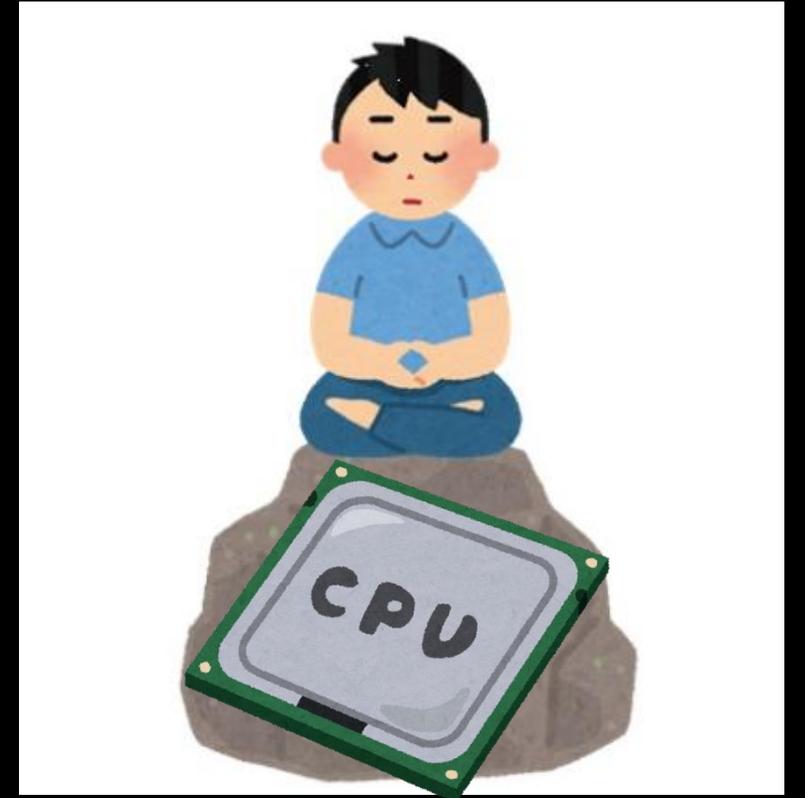
若手 & 地方向け
未踏ソフトウェア事業の
AKATSUKIプロジェクト
(半導体版)への誘い

ISHI会
今村謙之

ISHIの上にも三年

意味

他人が作ったISHI(CPU)の上(命令セット)でソフトウェアを開発していいのは新人3年目まで。





Google でカスタム シリコンを作成する

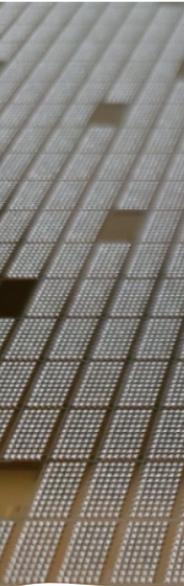
カスタム シリコンを、ソフトウェアのように大規模に誰でも簡単に作成できます。

[ホーム](#) [ノートブック](#) [リサーチ](#)

独自のシリコンを作成する

Google は GlobalFoundries、SkyWater Technology、Efabless と提携して、製造可能なシリコンの設計をあらゆるデベロッパーが行えるように、完全なオープンソースのプロセス デザイン キット (PDK) とツールチェーンを提供しています。

1 か月おきにオープンソースの設計を提出して Open MPW シャトル プログラムに参加し、無料で製造してもらうことができます。



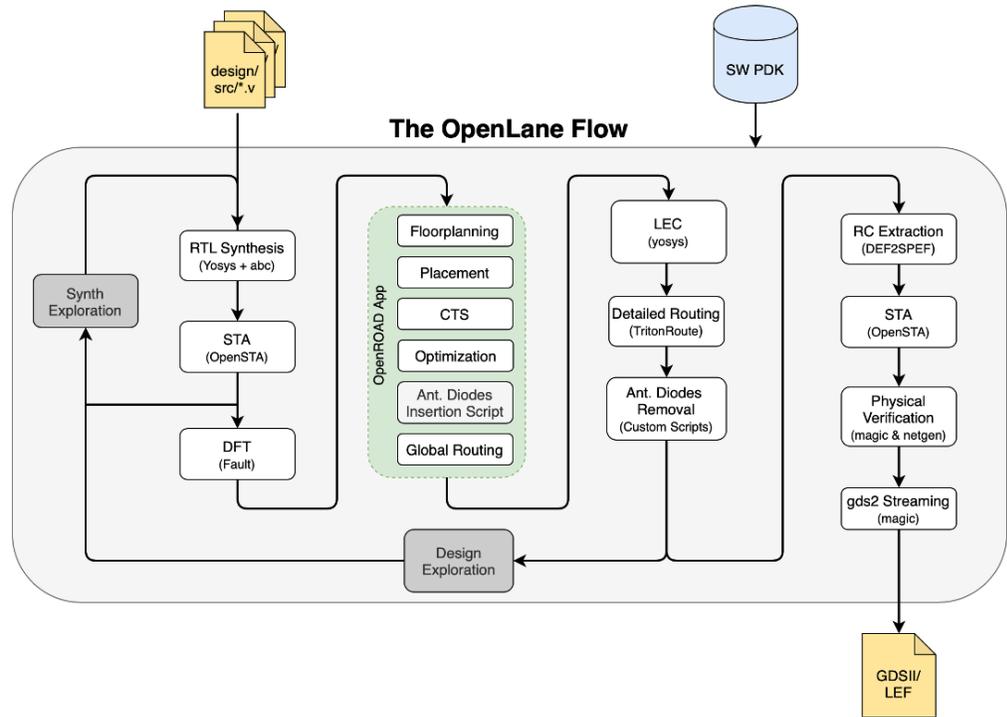
無料&OSSで作れるASIC(CPU)！

Next Step

どうやって作るのか？

どんなものが作れるのか？





LibreLane

License [Apache 2.0](#) Python [3.8](#) code style [black](#) [mypy checked](#) [Built with Nix](#)

[Open in Colab](#) docs [passing](#) [Community](#) [FOSSi Chat](#)

LibreLane is an ASIC infrastructure library based on several components including OpenROAD, Yosys, Magic, Netgen, CVC, KLayout and a number of custom scripts for design exploration and optimization, currently developed and maintained by members and affiliates of the [American University in Cairo Open Hardware Lab](#) under the stewardship of the [FOSSi Foundation](#).

A reference flow, "Classic", performs all ASIC implementation steps from RTL all the way down to GDSII.

You can find the documentation [here](#) to get started. You can discuss LibreLane in the [FOSSi Chat Matrix Server](#).

LibreLane

- Verilog -> GDS変換に必要な各種ソフトウェアをパッケージにしたソフトウェア群ソフト
 - <https://github.com/librelane/librelane>
 - OpenLaneからの派生プロジェクト
 - T大統領により米国があつた状態なのでFOSSi Foundationが引き継いだ

LibreLane フロー詳細

合成		フロアプランと電源供給		配置		クロックツリー合成と配線		GDS生成とチェック	
ツール名	機能内容	ツール名	機能内容	ツール名	機能内容	ツール名	機能内容	ツール名	機能内容
yosys	RTLを論理合成	init_fp	コア領域の定義	RePLace	グローバル配置	TritonCTS	クロックツリーの合成	Magic	GDSIIファイル生成
abc	PDKマッピング	ioplacer	入出力ポートの設置	Resizer	最適化	FastRouteとCU-GR	グローバル配線	Magic	DRC (Design Rule Check) とアンテナチェック
OpenSTA	静的タイミング解析	pdn	給電ネットワークの生成	OpenDP	ローカル配置	TritonRoute	ローカル配線	Netgen	LVS (Layout vs Schematic) チェック
		tapcell	タップとデカップセルの挿入			SPEF_Extractor	寄生フォーマットの抽出	CVC	回路妥当性検証

オープンPDKと対応ファブ

シャトル	ChipCreate(米)	Wafer.space(米)	iHP(独)	東海理化(日)	ICsprout(中)
プロセス	Sky130nm	GF180nm	130nm	1000nm	55nm
サイズ	10mm ² (3.1mm x 3.2mm)	20mm ² (3.99mm x 5.07mm)	2mm ² (1.4mm x 1.4mm)	10mm ² (3.5mm x 3.5mm)	1mm ² (最低サイズ)
価格	\$15,000	\$8,000	無料	約80万円	約3万 元 /1block
定期シャトル回数	年3回 (3,9,11月)	不定期	年4回 (3,6,9,11月) 試作のみ	年2回 (5,10月)	不明

日本
全国版



目的

IPAが中心となり、日本全国から
新たな価値を創造するIT人材を育む
ITを駆使してイノベーションを創出することのできる独創
的なアイデアと技術を有するとともに、これらを活用
する優れた能力を持つ、突出した人材を発掘・育成*1

特徴

- ①日本を代表する各分野で活躍するPM
が帯同
- ②2000人以上の未踏修了生のコミュニティ
・2000年以降25年間続く歴史ある事業

人材像

未踏的なアイデアを育てたい
・アイデアがある・技術がある・情熱がある
「独自性・革新性があり、社会的インパクトを
与え、イノベーションを創出する可能性を秘め
たプロジェクト実現しようとしている若い逸材」*2

地方
地域版



AKATSUKI
プロジェクト

地方・地域コンソーシアムから
新たな価値を創造するIT人材・起業家を育む
未踏事業の人材発掘・育成プログラムを全国各地にお
いても広く展開し、地域における若手人材の自律的・
継続的な育成活動の面的拡大を目指す

- ①各地域ごとに異なる支援メニューを用意
- ②地域貢献・活性/地域から社会→世界へ



地方発の未踏的なアイデアで
課題解決にも取り組みたい

左記の未踏性を有するほか、地域や特定のコ
ミュニティに対する貢献（課題解決、起業等）
マインドを有する者

AKATSUKIにチャンスあり！！！！

仮募集サイト



About Service Events Contact



* **First Tapeout** は、令和7年度のAKATSUKI公募に応募中です。本プログラムの正式決定は2026年4月末、正式なクリエイタの募集は5月以降となりますことご留意下さい。

First Tapeout クリエータ申込み

【応募資格】

1. 日本国内在住で日本国内の教育機関に在籍中
2. 年齢が35歳以下の個人もしくはチーム
3. 一年間のプログラムに参加できること（リモート）
4. 九州でのイベントに参加できること（費用負担あり）



FirstTapeoutプログラム.pdf

クリエイタ構成*

- 個人
- チーム（代表者が記載）

メンバー数*

1



ISHI会の情報

- メンバー数
 - 550名Over (20-30名ほど常にアクティブ)
- ホームページ
 - <https://ishi-kai.org/>
- Discord上で活動中
 - <https://discord.gg/RwAWF5mZSR>
- イベント告知 (勉強会など)
 - <https://ishikai.connpass.com/>
 - 20~50名ほどが常時参加

