

オープンソース半導体の世界が
やってきた!

～自作の半導体、作ってみませんか?～

ISHI会

Noritsuna Imamura

noritsuna@ishi-kai.org



なぜ、半導体を取り上げるのか？

日本政府による半導体戦略と支援

By ChatGPT先生

- 戦略

- 半導体・デジタル産業戦略：経済産業省は、日本の半導体、情報処理基盤、高度情報通信インフラ、蓄電池等の産業に関して、今後の政策の方向性を定めた「**半導体・デジタル産業戦略**」を改定しました。

- 支援・投資

- 4兆円の投資：日本政府は**4兆円**を投じて半導体戦略を推進しており、その中で最も野心的な最先端技術を目指すプロジェクトの舞台に選ばれたのが北海道です。**次世代半導体の量産を目指すラピダスの半導体工場**の建設現場は、新千歳空港の近くにあります。
- 予算の拡大：近年、日本政府は半導体産業への積極的な支援を展開しています。22年度補正予算で計上された半導体関連予算は約**1.3兆円**と、過去に例を見ない水準となりましたが、23年11月末に成立した23年度補正予算では、それを上回る約**1.5兆円**、既存基金の残額を含めると総額**2兆円**近い予算が、半導体関連の支援に充てられることになりました。

最先端分野で必須！

なぜ、 半導体？

By ChatGPT先生

デジタルトランスフォーメーション:

- 世界中の企業や産業はデジタル化を進めており、クラウドコンピューティング、人工知能、IoT（モノのインターネット）などの技術を活用しています。
- これらの技術は高度な半導体を必要とし、その需要が増加しています。

自動車産業の進化:

- 自動車はますます高度な技術を搭載しており、自動運転、電動化、コネクティビティなどに半導体が欠かせません。
- 電気自動車（EV）やハイブリッド車の普及に伴い、半導体需要が増加しています。

5G通信技術:

- 5Gネットワークの展開により、高速通信と低遅延が実現されています。
- 5Gはスマートフォンだけでなく、工場の自動化、スマートシティ、医療機器など多くの分野で半導体需要を刺激しています。

人工知能と機械学習:

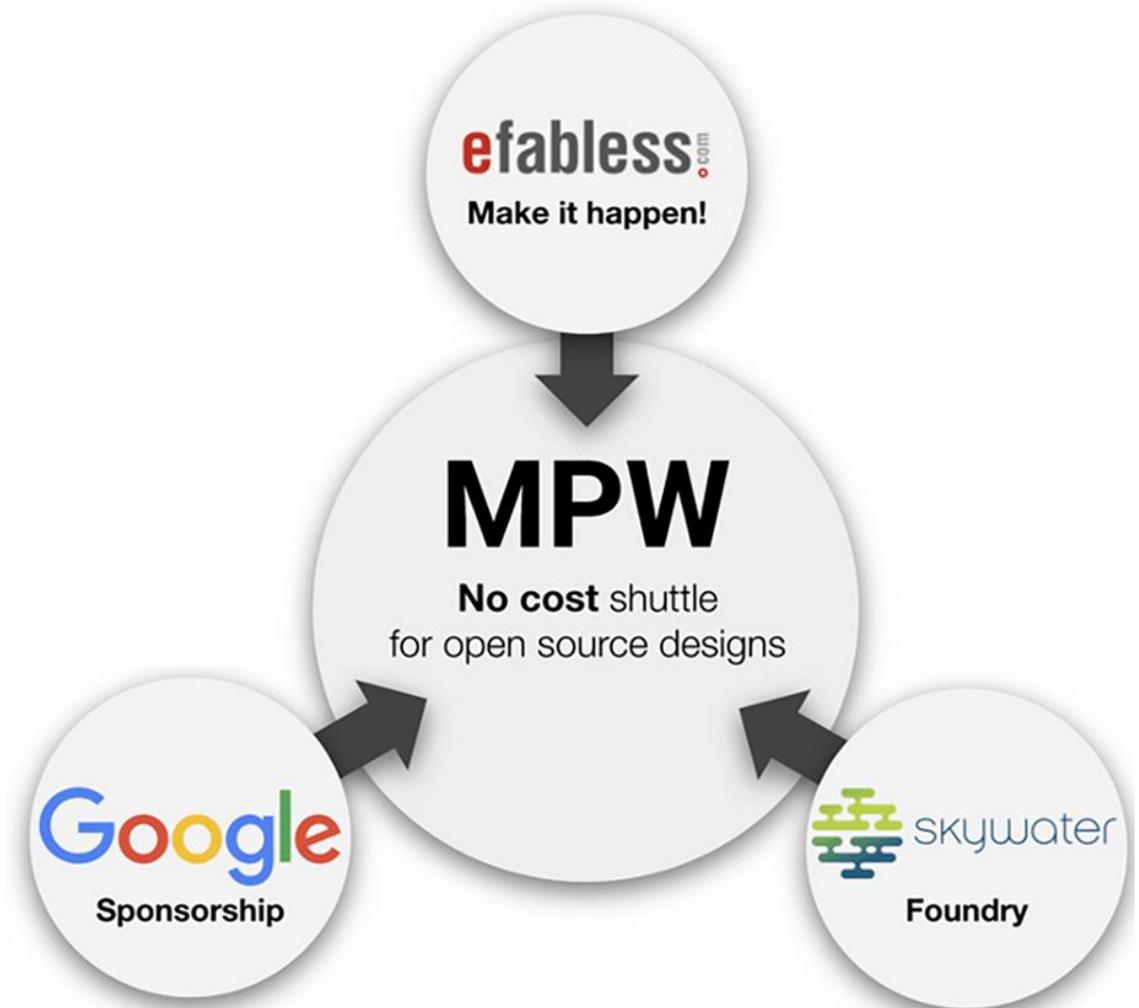
- 人工知能（AI）と機械学習は、大量のデータ処理と高速計算を必要とします。
- これには高性能な半導体が不可欠であり、投資が増加しています。



オープンソース半導体とは？

オープンソース半導体 ～OpenMPWとは？～

1. オープンソースの設計ツール (OpenEDA)にて設計。設計環境やスクリプトを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
2. オープンソースのプロセス情報 (OpenPDK)にて設計。設計資産(回路図・GDSII)やソースファイルを公開することが可能であること、第三者による検証・改良・複製により、コミュニティにて共有できること。
3. 上記1、2で設計したオープンソース設計チップを製造するファブ・サービスが存在し、設計したハードウェアの動作を検証できること。

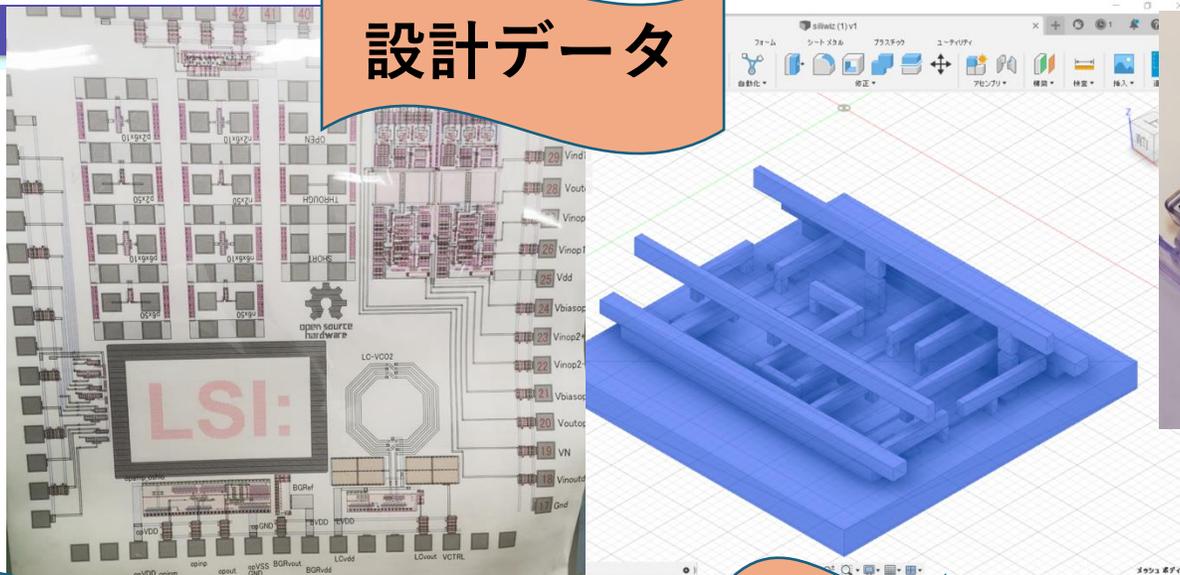


半導体の設計～製造～動作確認までの全てがオープンになった！

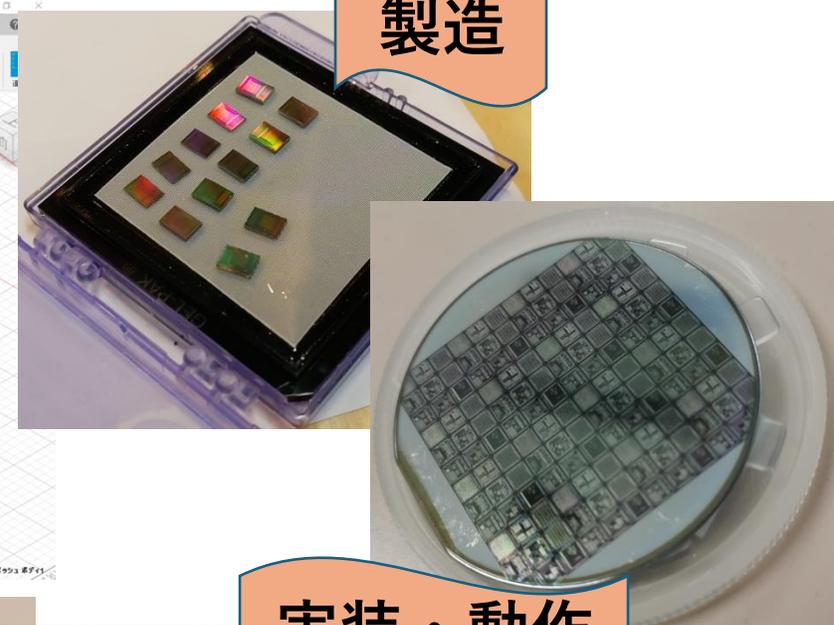
設計



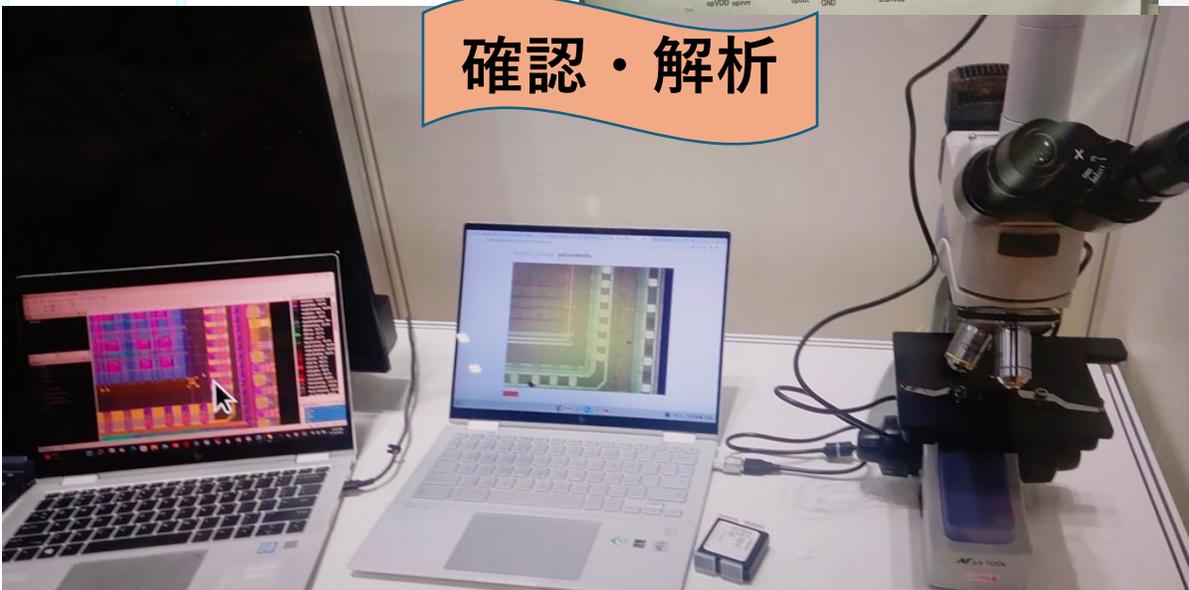
設計データ



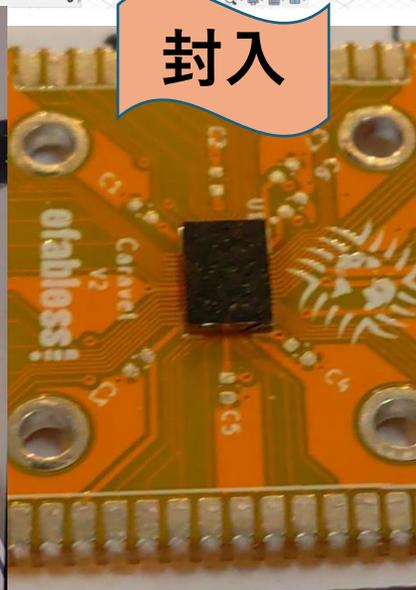
製造



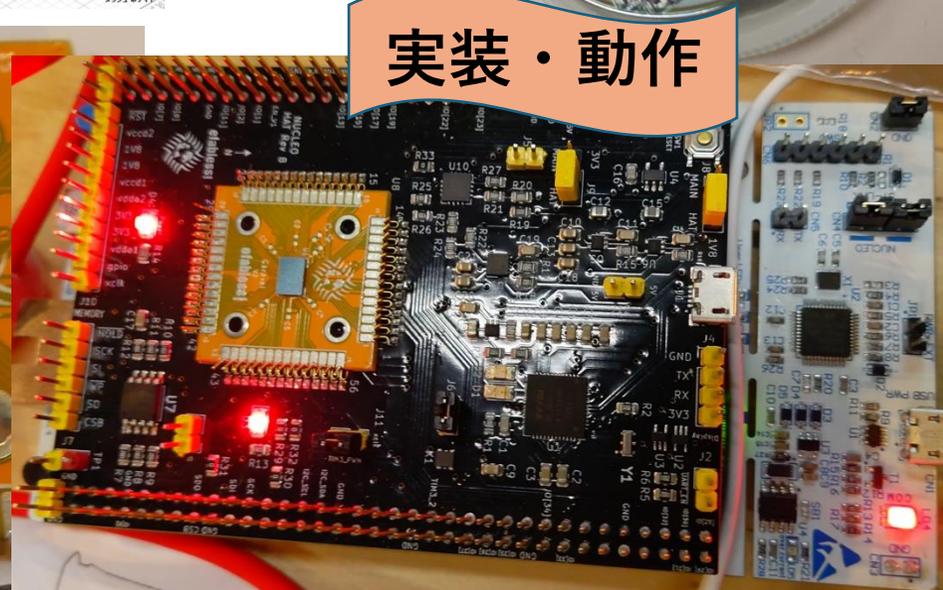
確認・解析



封入



実装・動作



なぜ、オープンソース半導体なのか？

- 半導体設計教育の危機
 - 電気電子課程への進学者の減少。教科書売上減少。VLSI教育にかかるソフトウェアのコスト高。EDAサーバーの保守・更新にかかる経費増等、教育側のコスト負担が大きすぎる。
- 半導体産業の衰退＝経済と安全保障において国家的な脅威
 - 偽造電子機器は、数十億ドル規模の闇市場が存在し、米国国防総省が購入する予備電子部品の推定 15% が偽造品であり、信頼性と安全性の両方を脅かしていると報告されている
→半導体人材育成が喫緊の課題。
- チップ設計者の作業効率向上
 - オープンソース化より、ハードウェア設計は多くの恩恵をオープンソースソフトウェアと同様に受けることができる。

ISHI会グラウンドデザイン

新規分野を開拓したいけどどうすればよいのかわからない

「みんなの経験をチップに！」

ASIC(LSI)化したいけど情報がない

ASIC(LSI)業界の現状（閉塞感）

- NDAでなにもしゃべれない
- 最先端は札束の応酬
 - 若者が入ってこない

他業界の現状（限界感）

- 高速・小型・省電力の要求
 - 汎用チップ+ソフトでは限

すべてがオープン！

OpenMPWの登場！

コミュニティの意義

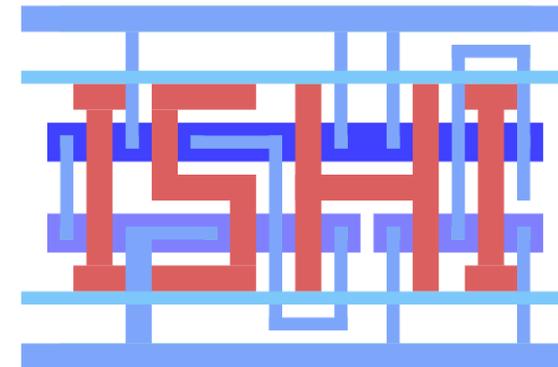
- 成果の再利用が可能。Do It With Others(それ、みんなでやってみよう)の精神
- 日本の利点：地理的に物理的に集まりやすく、勉強会や合宿をやりやすい

ISHI会の意義

- 他（多）分野の知識の統合により、今までになかった研究・開発への期待

ISHI会の情報

- メンバー数
 - 200名（20名ほど常にアクティブ）
- ホームページ
 - <https://ishi-kai.org/>
- Discord上で活動中
 - <https://discord.gg/RwAWF5mZSR>
- イベント告知（勉強会など）
 - <https://ishikai.connpass.com/>
 - 20～50名ほどが常時参加

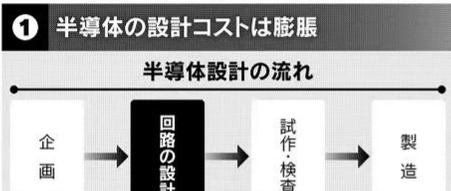


オープンソース半導体・ タイムライン

- 2018 : DARPA (国防高等研究計画局) OpenIDEA プログラム
\$11.3M grant to UC San Diego for “OpenROAD” project
- 2020 : Google/efabless/SkyWater OpenMPW プログラムスタート
- 2022 : Global Foundries が OpenMPW プログラムに参加
- 2023 : 独) iHP (130nm/SiGe) が PDK のオープン化を宣言
Free Silicon Foundation (FSI) が、欧州の半導体産業の競争力、革新性、教育、
独立性、サイバー耐性、環境持続可能性などに貢献できると主張
- 2023 : Open PDKの管理を Chips Alliance がサポート

半導体設計、オープン化の波

半導体の設計に、無償で一般公開された「オープンソース」が活用され始めた。高度化によるコスト増や技術者不足などの構造問題の解決に向けて、誰でもアクセスできるツール群を使おうという試みだ。産業技術総合研究所(産総研)や米グーグルは利用環境の整備に動く。オープン規格を採用する企業も増えている。



産総研や

4月、半導体産業のオープン化を掲げる団体が日本を発足した。産総研が中心で、AIST Solutions(アイストソリューション)が設立した「OpenSUS」だ。設計に必要なツール群を利用できる環境を整備し、国内の半導体企業に製造を委託するサービスに力をつけている。半導体の設計にはとにかくお金がかかるようになった。半導体産業の再興を掲げる産総研は、2020年時点で先進国であった「A」(10億分の1)経世代の半導体は設計コストが約10倍に膨脹した。06年当時の約840億円で、19倍に膨脹して1億7000億円に膨脹した。



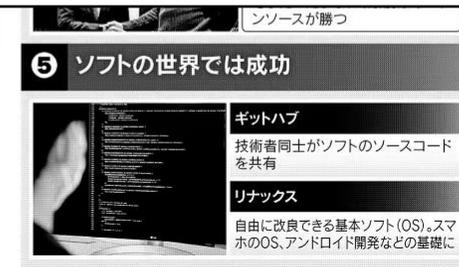
• 日本での動き

- 2023年：ロジックリサーチ社の主催でオープンソースEDAフォーラムが開催される
 - 2023年6月：第三回よりハイブリット開催
 - 2024年7月：オープンソースEDA研究会として始動
- 2023年5月：滋賀県立大学の土谷先生主導でコミュニティー：ISHI会が発足
 - 2023年12月：ISHI会主導でOpenMPW GF-1にグループ投稿
 - 2023-2024年：IEEE SSCSのChipathon2023に土谷先生や熊本大学の久保木先生がリーダーとなって、日本チームを結成して投稿
 - 2024年5月：2014年より金沢大学の秋田先生が主導してたMakeLSI:がISHI会に合流して、統合された
- 2024年5月：産総研主導で産業界団体：OpenSUSIが発足
 - <https://www.nikkei.com/article/DGXZQUC228690S4A420C2000000/>



どう動作するかを定めた半導体チップを二重に、命令セットがIPにある。このチップは、区画ごとに作られて、電力性能に優れた英IPが市場を握る。設計への危険が高設計の自由度を高め、2014年以降、命令セットに注目が集まっている。産総研は「純粋なソフトに比べ、製造工程がもつ設計ツールなどの工場でも使えるようオープン化する技術のハードルは高い」と指摘する。

ただ、半導体産業の再興を掲げる日本にとって高度な設計能力や人材は欠かせない。オープン化の取り組みは独自設計の間に及び、教育や研究を活性化させる上で重要なピースとなる。(江口直輔)

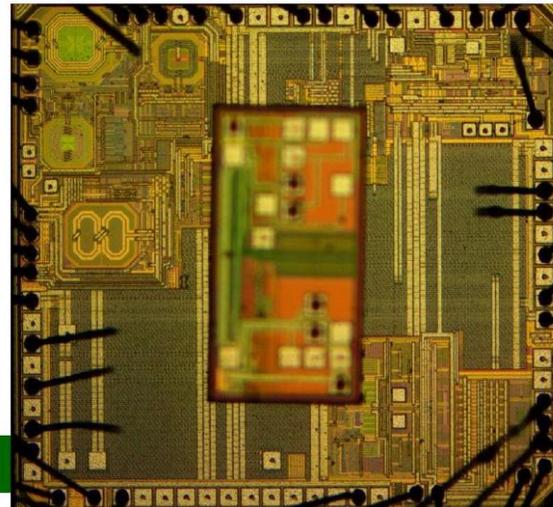


中国がアツい！

- 中国には3000社以上の半導体メーカー（大半はファブレス＝設計専業）最先端SoCから安価な互換IC、ディスプレイ半導体まで、企業の幅は非常に広い
- 世界中から中古の半導体製造装置を買い漁っている！

PCB基板製造で起きた流れが
来ている！

☑少量多品種のSoC/SiP市場が成立している



一般に半導体は
初期コストが非常に高いので
少量多品種に向かない産業

Bluetoothイヤホン専用SoC
空間オーディオDSP、LiPo充電、
タッチ検出など必要機能が一式
(65nmプロセス、別フラッシュのSiP)

写真提供: 高須正和氏

zawa University <http://ifdl.jp/>

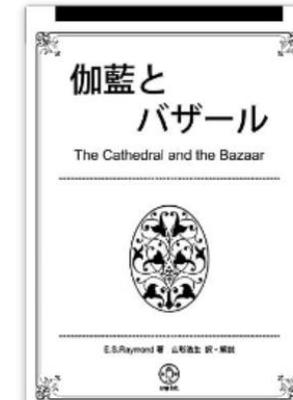
集積回路が「道具」になるための オープンソースの意義

秋田純一
(金沢大)



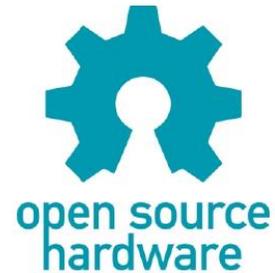
オープンソース

- ☑ Open Source = 元データを公開する
 - ☑ アクセスできる状態する
 - ☑ 有料無料は別問題
- ☑ ソフトウェアでは歴史が長い(OSS)
 - ☑ 「伽藍とバザール」が有名どころ
 - ☑ 改良改善が誰でも「できる」
 - ☑ 不具合の原因を「誰でも探ることができる」
 - ☑ 結果として、高速に品質の良い改良が進む
 - ☑ アナロジー: 中央集権的システム(行政)
←→分散システム(DIY)
 - ☑ 技術的な好奇心 + 将来への投資(Pay Forward)
 - ☑ “As is”が基本(公開 = 保証ではない)
 - ☑ ※ソフトウェアはコピーが容易 = 分散開発向き



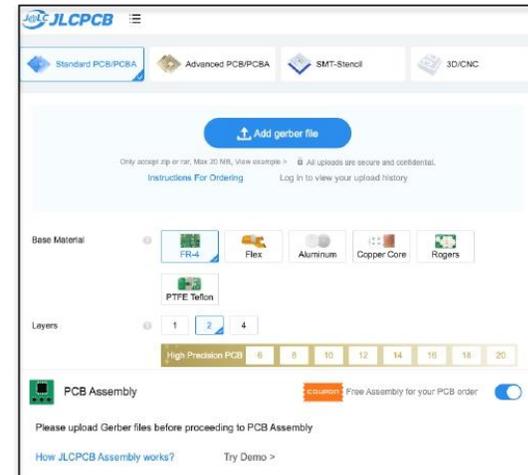
オープンソースなハードウェア

- ☑ハードウェア＝物理実体
 - ☑コピーが容易ではない＝分散開発に向いていない
(旋盤加工やユニバーサル基板回路など)
- ☑(転機)2000年頃～: デジタルファブリケーション
 - ☑「データ→物理実体」が容易 & 高精度に
(3Dプリンタなどの普及)
 - ☑ハードウェアが
“GitHubに置ける”ようになった



オープンソースな電子回路

- ✓ 電子回路でもオープンソース & デジタルファブリケーションの流れ
 - ✓ 回路データ → PCBA で物理実体へ
 - ✓ 「ハードウェアのコンパイル」
- ✓ OSS と同様の「エコシステム」
 - ✓ 改良・派生品が生まれる
 - ✓ 誰でも参加できるのがポイント（メーカーが作ってれるのを待つ、ではない）

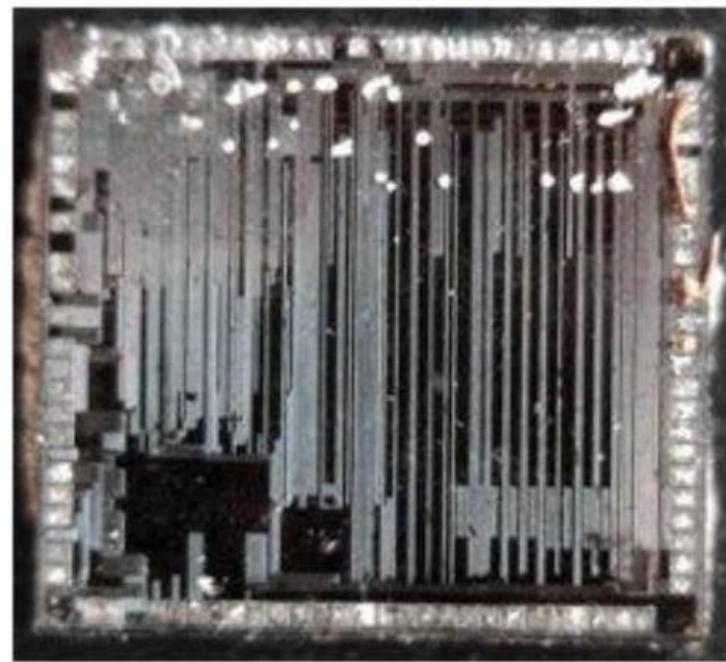
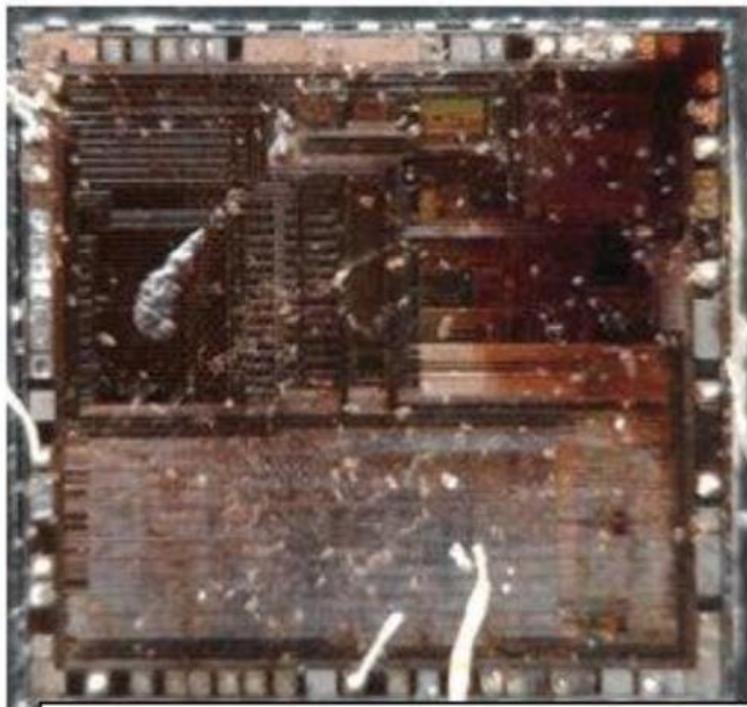


とはいえ・・・半導体にもオープンソースが

- ✓ 特に設計ツールとPDKにオープンソースの流れ
 - ✓ EDAツール: 低コスト&ソースコードによる可視化
 - ✓ PDK: 古い製造プロセスでは、特にナイショもない
 - ✓ 設計ルールはほぼλルール / scmos@MOSIS
- ✓ 「隠すより、ユーザを広げたほうが得策」
 - ✓ 米Efabless: NDA不要PDKのチップ製造シャトル
 - ✓ Google: OpenSilicon (エンジニア確保の面も)
 - ✓ OpenMPW (2020/12～)
 - ✓ Skywater 130nm, GlobalFoundaries, ...
 - ✓ その他にも、世界中にいくつかある
 - ✓ 目的・規模・コミュニティもさまざま

中国の半導体部品（1）

- ✓ 低価格の汎用品や互換品
 - ✓ 基本、レッドオーシャン市場
 - ✓ 差別化や方案会社としてトータル設計



中国の半導体産業から学ぶこと

- ☑ 目的は「ニーズを満たすこと＝売れること」
 - ☑ 「高い技術」は目的ではない
(※エンジニア視点では異論はあると思うが、真理)
 - ☑ 徹底的なユーザ目線
→その実現のために、あらゆるレイヤの技術を組み合わせる高い機動性(デバイス～回路～システム)
←それを可能とする「エコシステム」(ハードウェアのシリコンバレー)
- ☑ 「長いものに巻かれる」姿勢

いまどきの「ものづくり」"Make"

- ☑ アメリカ発祥の"DIY"のムーブメント
 - ☑ デジタル加工機・Arduino等の普及とほぼ同期
- ☑ 古今東西・老若男女、多様な人が「作る」を実践
 - ☑ 日本では、エンジニア経歴がなくても「作りたいもの」を作る人がいる(世界的にみても特異)
- ☑ 「作りたい」→「学ぶ」の順



MakerFaireTokyo2015

ory, Kanazawa



NT金沢

“Make”の背景：技術の進歩と独裁化

- ☑ 科学技術の進歩＝社会水準の向上
- ☑ 科学技術の進歩＝技術の高度化・複雑化



- ☑ 「製造者」と「利用者」の分離
 - ☑ 製造者の「特権」：
 - ☑ 原材料の入手（原油、電子部品、・・・）
 - ☑ 工場・製造装置
 - ☑ 販売チャンネル
 - ☑ 利用者の「意識」
 - ☑ 「ものは買う物」
 - ☑ 大量生産・大量消費の時代が長く続いた

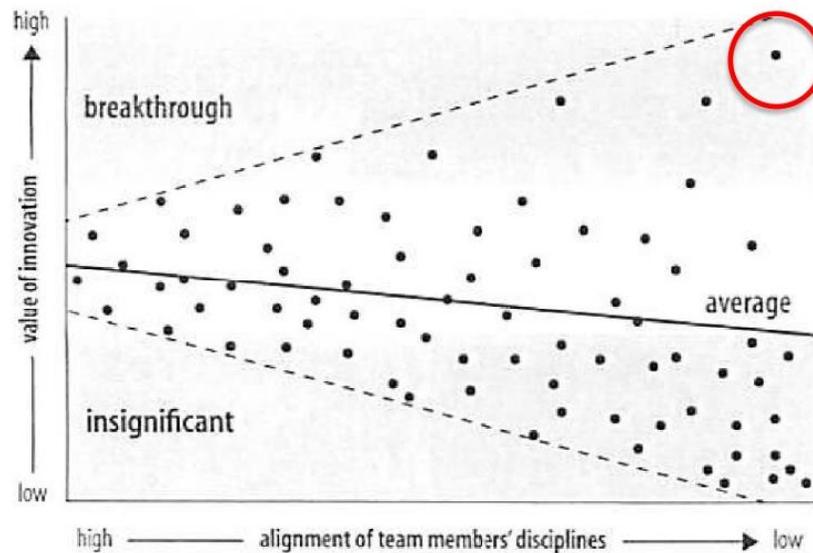
「技術の民主化」へ

- ✓ 技術を、市民の手に「取り戻す」流れ
 - ✓ 大量生産 → ロングテールへ
 - ✓ 「技術の民主化」を可能にする技術革新
= 「使いやすさ」に技術リソースをさく余裕
 - ✓ 実はルネッサンス時代への回帰でもある
- ✓ 例：映像メディア
 - ✓ テレビ局・映画会社 → YouTuber
- ✓ 例：電子回路
 - ✓ ハム・オーディオ → Arduino で Lチカ



「技術の民主化」がもたらすもの

- ☑ 裾野が広がる = イノベータの多様化
 - ☑ 「アツい思い」を具現化する
道具がある
 - ☑ 多様性 = イノベーションの土壌



(L.Fleming, Harvard Business Review, 8(9), pp.22-24 (2004))

技術が「民主化」されるためには

☑技術が「道具」になるステップ

☑開発／発明される

☑お店で買えるようになる

☑使い方が知られるようになる

☑みんなが使うようになる

☑それが「道具」となって、次のステップへ

プロ(詳しい人)しか使えない

アマ(詳しくない人)でも使える



プロのみ



マニア(ハイレベルアマチュア)向け



だれでも



技術が「道具」になるためには



- ✓ Arduinoが、それまでの無数のマイコンボードと違う点は？
 - ✓ IOコネクタがメス
(=ジャンパ線をさせる)
 - ✓ USBで給電+通信
(=ACアダプタ不要)
 - ✓ DTRリセット
(=リセットボタン不要)
 - ✓ ArduinoIDE
(=コンパイラ・書き込みが1つに)

いずれも「なんだ、そんなことか」という点
(「できる人」にとっては)

半導体が「道具」になるためのハードル

☑️ 設計CAD

- ☑️ 市販の業務用CAD: 高すぎ、高機能すぎ

☑️ 製造方法

- ☑️ 高すぎ、時間かかりすぎ(1000万円・半年)
- ☑️ NDA(設計ルールなどのアクセス制限)が厳しすぎ

☑️ ユーザ・コミュニティ

- ☑️ 参入障壁: 現状は専門家ばかり
- ☑️ “How”の専門家は多いが、“Why/What”は皆無

☑️ いずれも、なんとかかなりそう？

MakeLSI: - やってみたいの知見

- ☑裾野は意外と広い
 - ☑主婦から元／現役プロまで
 - ※「仕事」とは完全に別の趣味としてやっている
 - ☑ウエハ買い取りのクラウドファンディングも計画
 - ☑現場の「アツい思い」は必須(当事者が楽しむ)
 - ※「(大人の事情から)興味を持ってもらう」は逆効果
- ☑初心者にとっての「常識」
 - ☑「こんな初歩的な質問は恥ずかしい」とならない
雰囲気醸成(ggrksはご法度)
 - ☑「超簡単！」もご法度(「gitでcloneするだけです」等)

MakeLSI: - やってみたいの知見

- ☑「集積回路の設計」が指す内容の広さ
 - ☑トランジスタ単体・MEMS？アナログ回路？
 - ☑VerilogHDL？RISC-V＋ソフトウェア？
 - ☑「なんでもできる」は「なにもできない」と紙一重
→階層ごとの入り口を設ける工夫
- ☑ブラックボックスの中身が見える教材
 - ☑1 μ mくらいだと、レイアウト図と回路の動作の
関係を、まだ通して理解できる
- ☑Makeとの相性の高さ
 - ☑Arduinoでチップ評価、など

半導体とオープンソースの不確定要素1

☑原理主義化

- ☑OSSでもFSFのような原理主義がある
- ☑オープンソースは「目的」ではなく「手段」であるべき
- ☑商用ツールとの共存・棲み分け・協業
- ☑ライセンス形態も柔軟に（コア技術は非公開など）

半導体とオープンソースの不確定要素2

☑️ 経済的な仕組み

☑️ 無理な低価格、補助金依存は持続可能でない

☑️ 費用対効果を高めるのが必要

☑️ 費用は高額

☑️ 効果を高める

☑️ 効果を高めるためのユーザの多様化・事例の多様化 (How→What/Whyの参入)

☑️ 例：“Trillion Sensors”で何をするかは十分に議論されたか？” How”の議論に徹し、“What/Why”の議論は「誰かやってくれ」ではなかったか？

半導体とオープンソースの不確定要素2

☑ 経済的な仕組み(続き)

☑ 費用を下げるための妥協点

☑ ファブの減価償却、維持費、ランニングコスト、
ユーザを広げることのメリット・デメリット

☑ できない・やらない言い訳ではなく、議論を始めるべき

☑ オープンソースの原点である“As is”と半導体

☑ 「製造＝保証」を求めてしまうと、ファブ側の負担

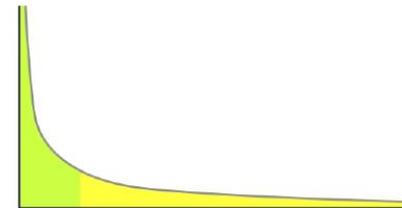
☑ 「保証されてなくていいから作って欲しい」が無理

☑ 「量産を前提にしないと費用的にペイしない」

＝「試作だけでは経済的持続性がない」は真理か？

☑ ロングテールは成り立つのではないか？

自分だけでは
「製造」できない



「やったことがある」を作る

オープンソース半導体でも「Make:ムーブメント（オープンハードウェア）」レベルのビックウェーブを起こすため

- Make:時代に立ち上がった企業
 - ハードウェアとは無縁のソフトウェア企業などの中から「社内Make:開発部」みたいなのが立ち上がり、そこから派生した
 - 「どこで知識を身に付けてきたか？」
 - Make:の流れの中にあるオープンハードウェア
 - 「ある程度まとまった数の技術者が生まれた」
 - ハードウェアを絡めた事業がどこの会社でも出来るようになった
 - 「事業として成功させる」
 - 「参入したい側の業界・業務知識と半導体業界の業界・業務知識の両方を持った仲介者」が必要

Lチカ動画：ニコ動でのコメント

- こっから？
- ニコ技界のTOKIO
- ゲートの無駄遣い
- ここから！！？
- ひでえ、勿体ない使い方wwwww
- マジかよ。レジストレベルの設計とかガチすぎる。
- 無駄遣い過ぎるだろw
- 贅沢といひかなんといひか
- え？まじでここからかよ」wwww」
- IC版FusionPCB的なところが現れれば・・・
- (FPGAでは)いかなのか？
- 俺はFPGAで我慢することにする
- いや、そこまでは必要ないです
- 量産品すらFPGA使う時代に専用LSI・・・
- アマチュアはFPGAで良いんだよなあ・・・w

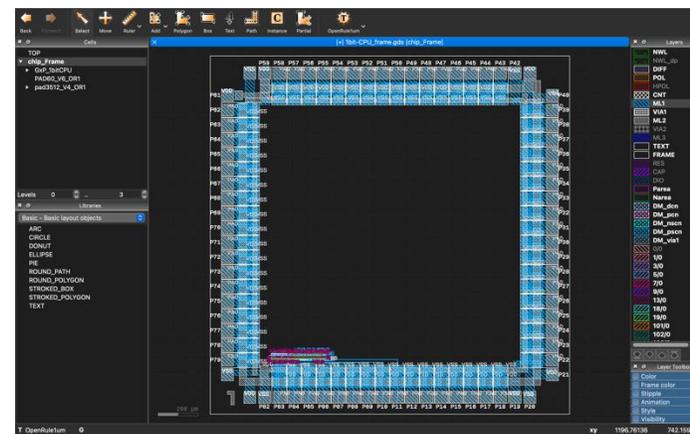
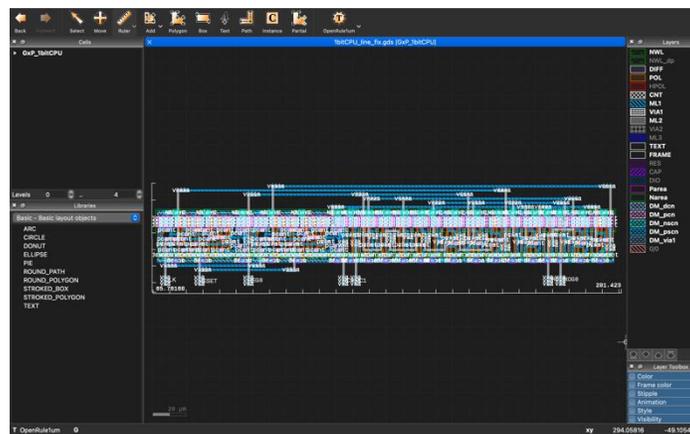
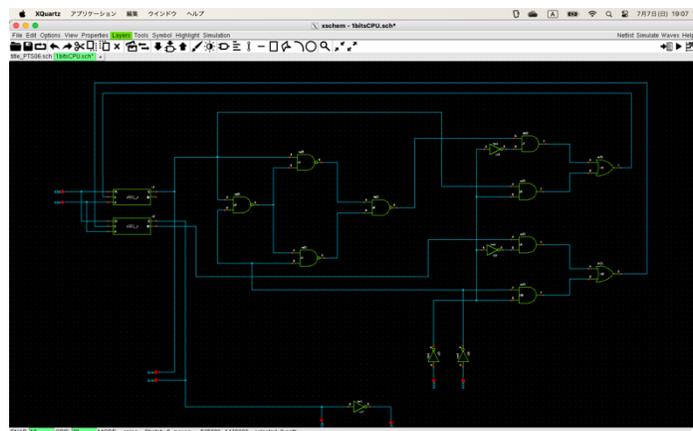
「集積回路＝すごいことをやるためのもの」という意識



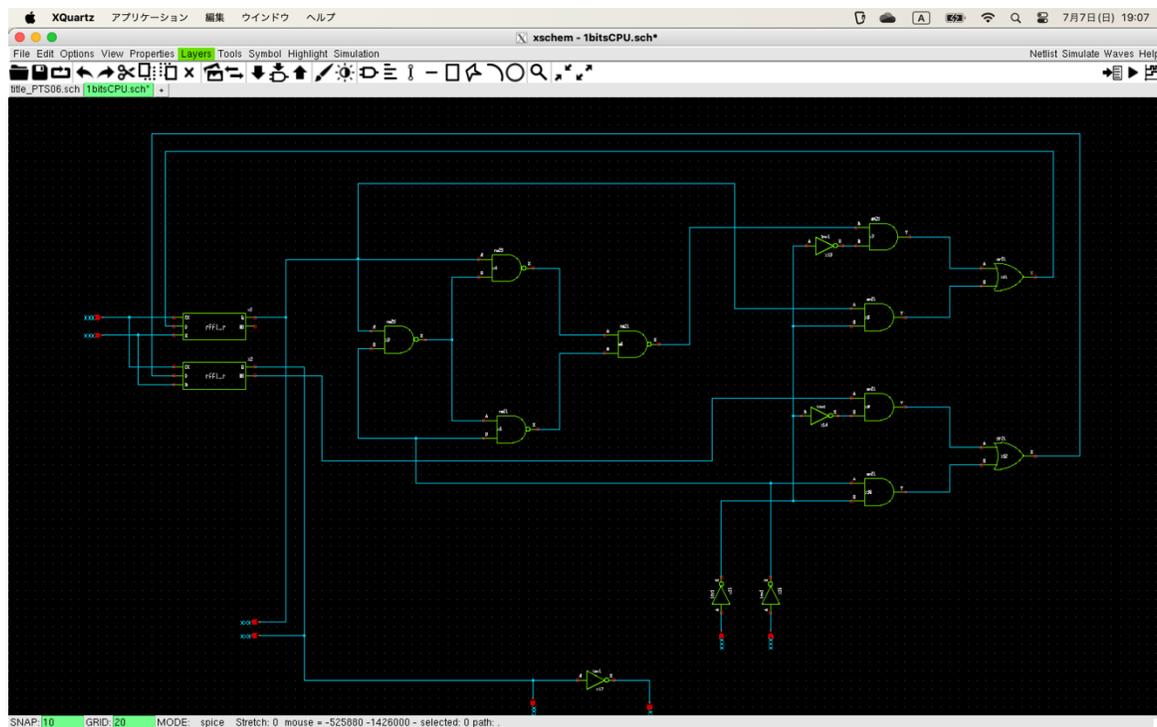


CPUの中身は？





半導体 (ASIC) 版1bit-CPU



論理回路の組み合わせで出来ている

回路図



論理回路

論理	論理式	回路記号 (MIL記号)	回路記号 (JIS記号)
NOT	\overline{A}		
OR	$A + B$		
AND	$A \cdot B$		
XOR	$A \oplus B$		
NOR	$\overline{A + B}$		
NAND	$\overline{A \cdot B}$		

NOTゲート

36の言語版

ページ ノート

閲覧 編集 履歴表示 ツール

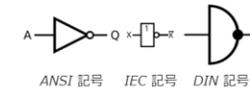
出典: フリー百科事典『ウィキペディア (Wikipedia)』

NOTゲート（ノットゲート）は論理否定の論理ゲートで、右に挙げた真理値表のような動作をする。インバータ (inverter) とも呼ぶ。

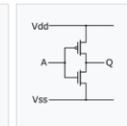
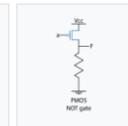
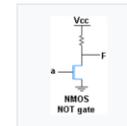
入力	出力
A	NOT A
L	H
H	L

記号 [編集](#)

NOTゲートを表す記号は3種類 (ANSI、IEC、DIN) ある。



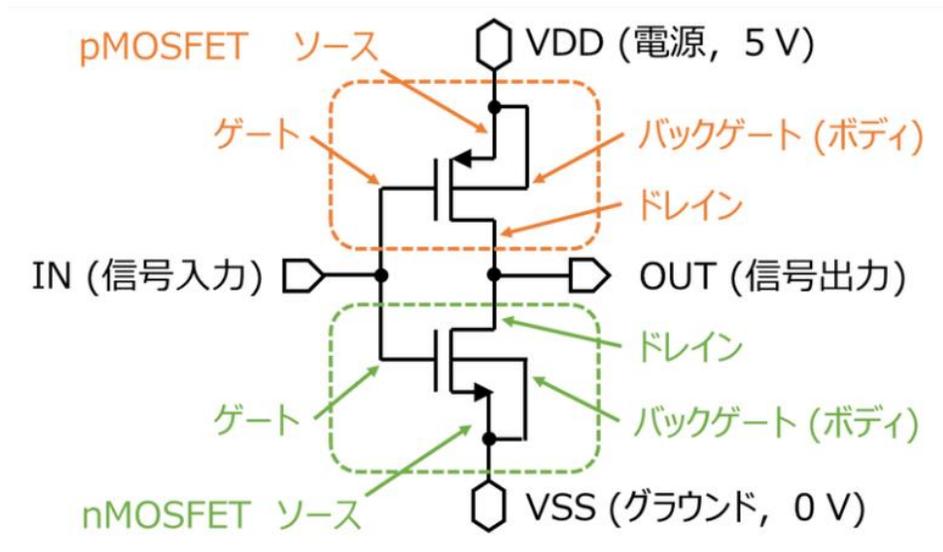
電子回路での実装 [編集](#)



NMOS型インバータ

PMOS型インバータ

スタティックCMOS型インバータ



CMOSインバータの回路図

トランジスタ



様々なパッケージのトランジスタ

種類 能動素子
 発明 ジョン・バーディーン
 ウォルター・ブラッテン
 ウィリアム・ショックレー
 (1947年)

ピン配置 エミッタ、コレクタ、ベース

電気用図記号



テンプレートを表示

NOT(Inverter)回路設計

トランジスタの組み合わせで出来る

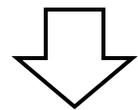
p型 と n型 半導体

p : p型半導体

正の電荷 (正孔, ホール) がたくさんある

n : n型半導体

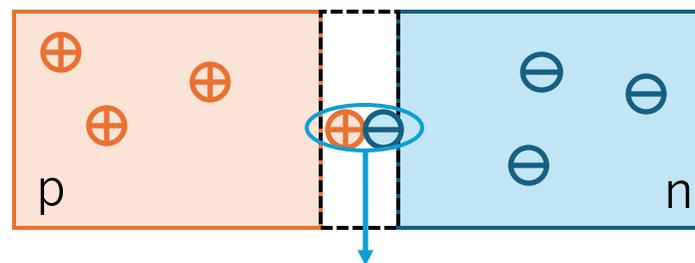
負の電荷 (電子) がたくさんある



電荷がたくさんあるのでそれなりに電気を通す

貼り合わせると

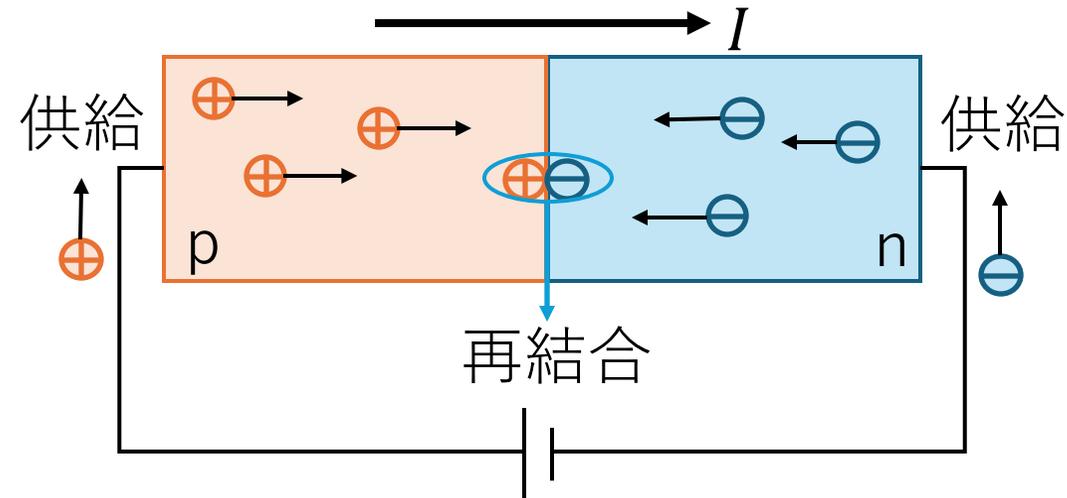
p型半導体とn型半導体を貼り合わせると
接合面に電気を通さない膜 (空乏層) ができる



正孔と電子は引き合って再結合により消える
正孔も電子も消えて空っぽになった領域が
空乏層 (depletion layer)

順方向電圧

p と n に電圧を印加すると

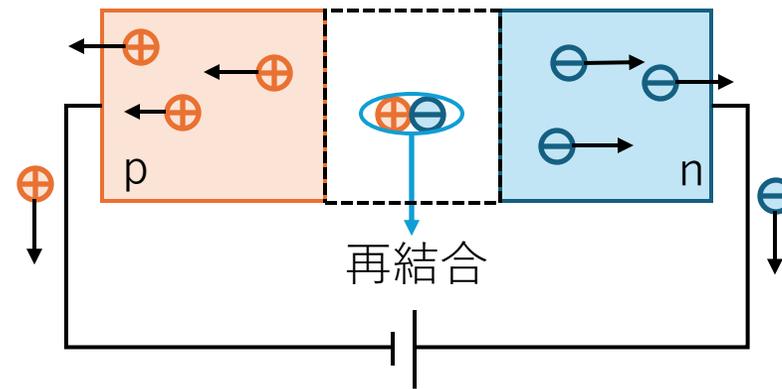


正の電荷 (正孔) は電位の高い方から低い方へ
負の電荷 (電子) は電位の低い方から高い方へ
再結合で消えても正孔も電子も電源から無限に供給

p型からn型に向かって電流が流れる

逆方向電圧

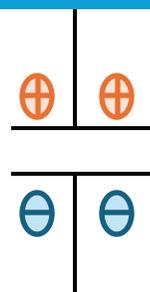
電圧を逆にすると空乏層が広がるだけで電流は流れない



pn接合:

p型からn型へは電流が流れるが、n型からp型には流れない
整流特性 → 半導体ダイオード

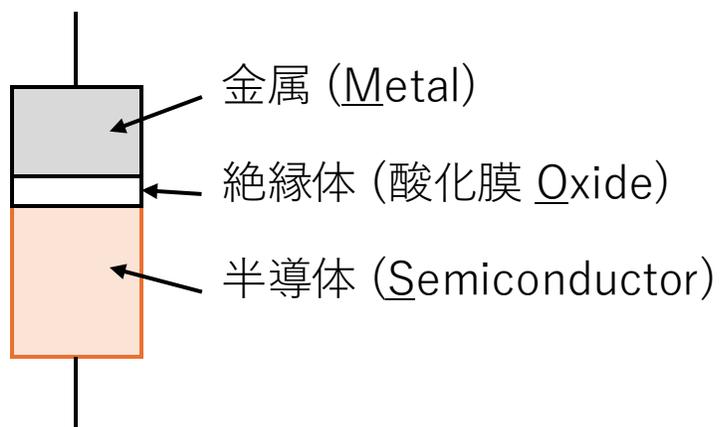
MOS



キャパシタ (コンデンサ)

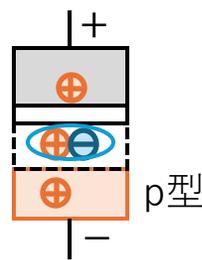
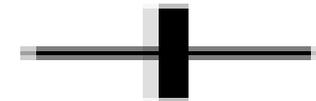
電圧をかけると極板の一方に正, もう一方に負の電荷が集まる $Q = CV$

極板の片方を半導体にする



Metal-Oxide-Semiconductor = MOS

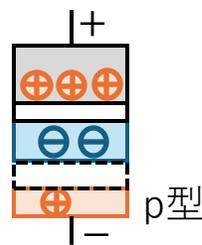
反転



金属が正，半導体が負の電圧を印加

→ 半導体側に負の電荷が集まる

p型がもともと持っている正孔と再結合，
空乏層ができる



電圧を高くする

→ 半導体側にもっと負の電荷が集まる

p型がもともと持っている正孔を食い尽くして
電子が余る → n型半導体になる

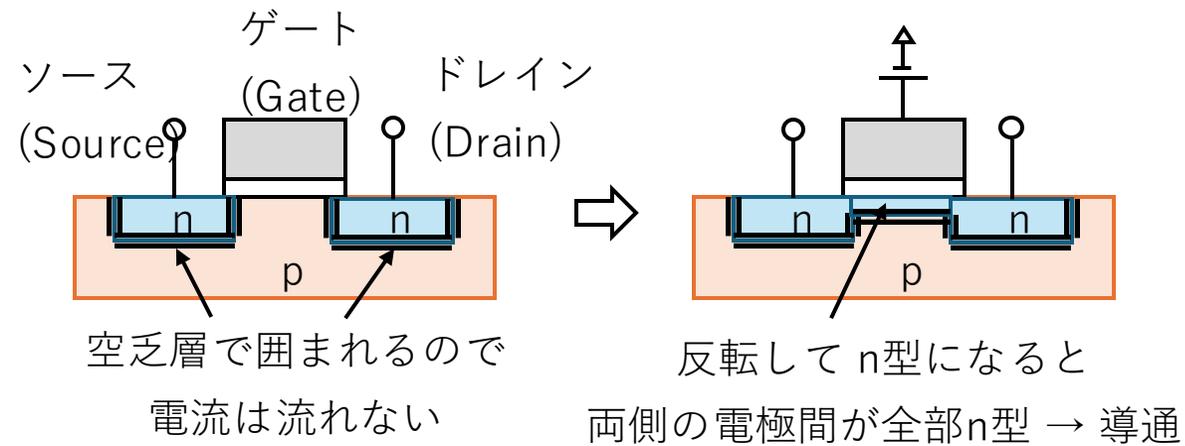
電圧 (電界) によって半導体を制御する

電界効果トランジスタ (Field-Effect Transistor: FET)

MOS + FET = MOSFET

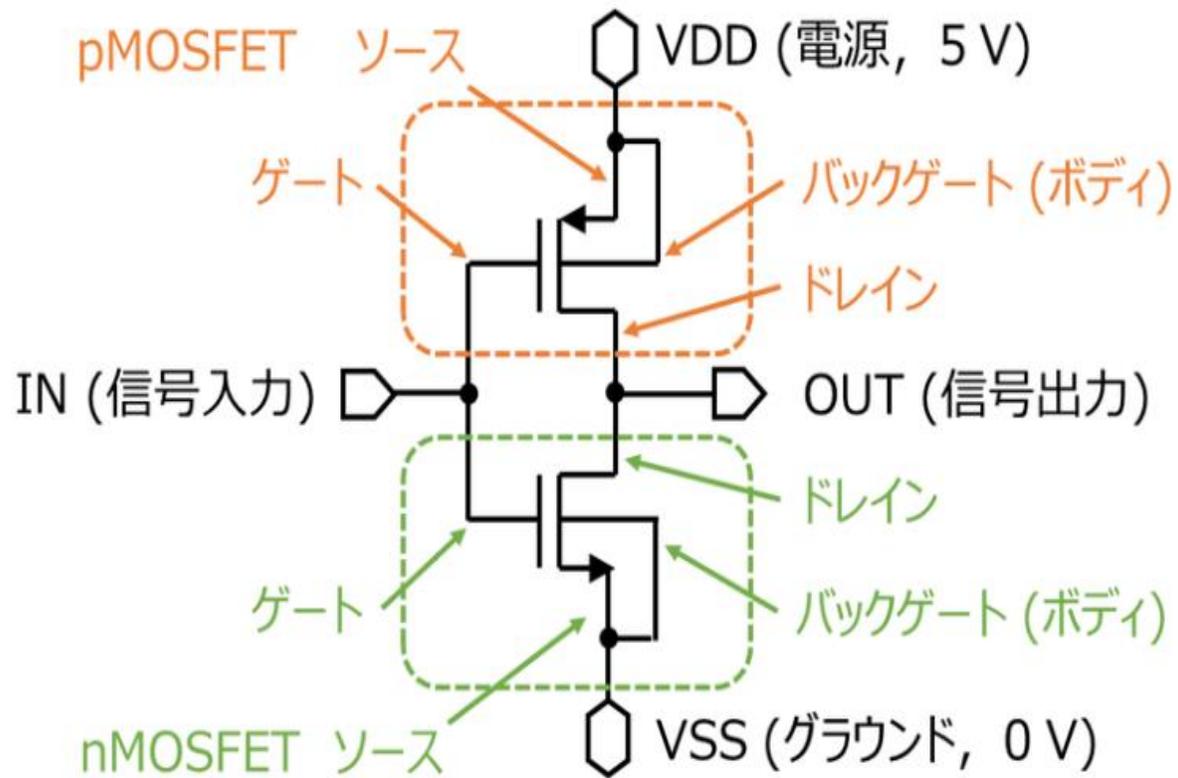
MOSFET

反転したら電極間がつながるようにしよう



反転して電極間をつなげる部分 = チャンネル (Channel)

電極間が n型でつながる MOSFET = nMOSFET



CMOSインバータの回路図

SILIWIZ

Layers

- active
 - p substrate
 - n well
 - n diffusion
 - p diffusion
 - p tap
 - n tap
- passive
 - polysilicon
 - polyres
 - metal1
 - mim capacitor
 - metal2
- via
 - metal1 via
 - metal2 via

Simulation window showing a cross-section of the inverter and a timing plot. The plot shows the input signal (in, blue) rising from 0V to 5V and the output signal (out, orange) falling from 5V to 0V. The time scale is 60µs.

Plot signals: in, out

Input voltage: Min: 0V, Max: 5V

Pulse delay: 0µs

Rise time: 50µs

Time scale: 60µs

Show SPICE (advanced)

Resources

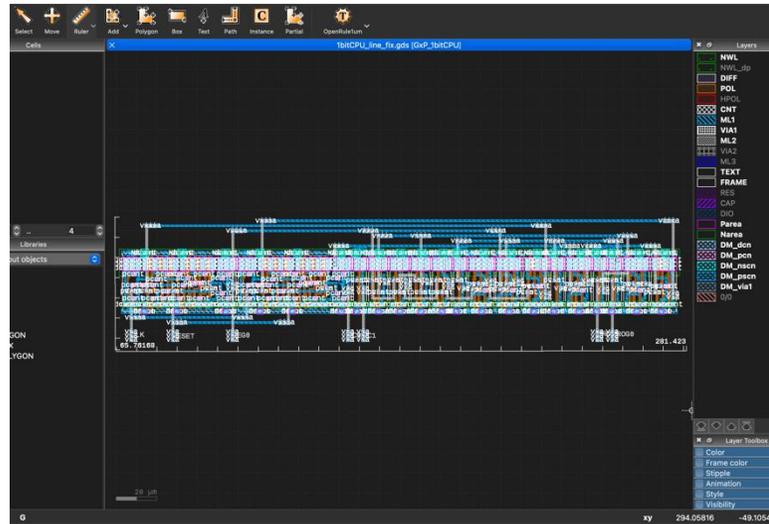
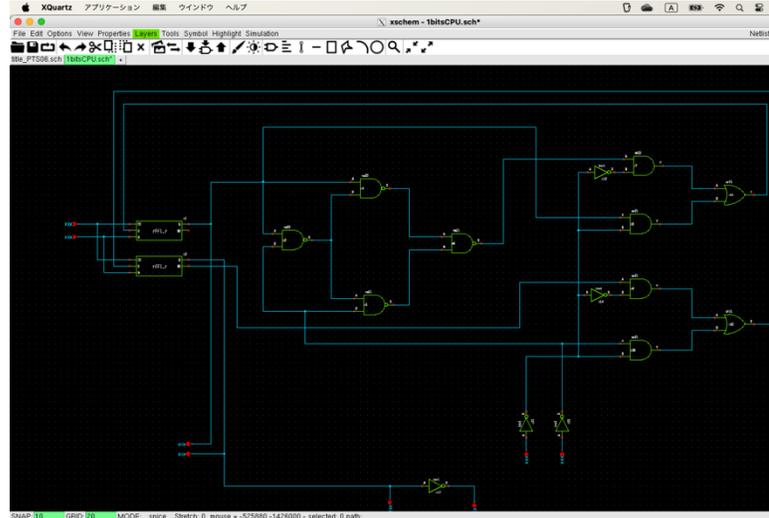
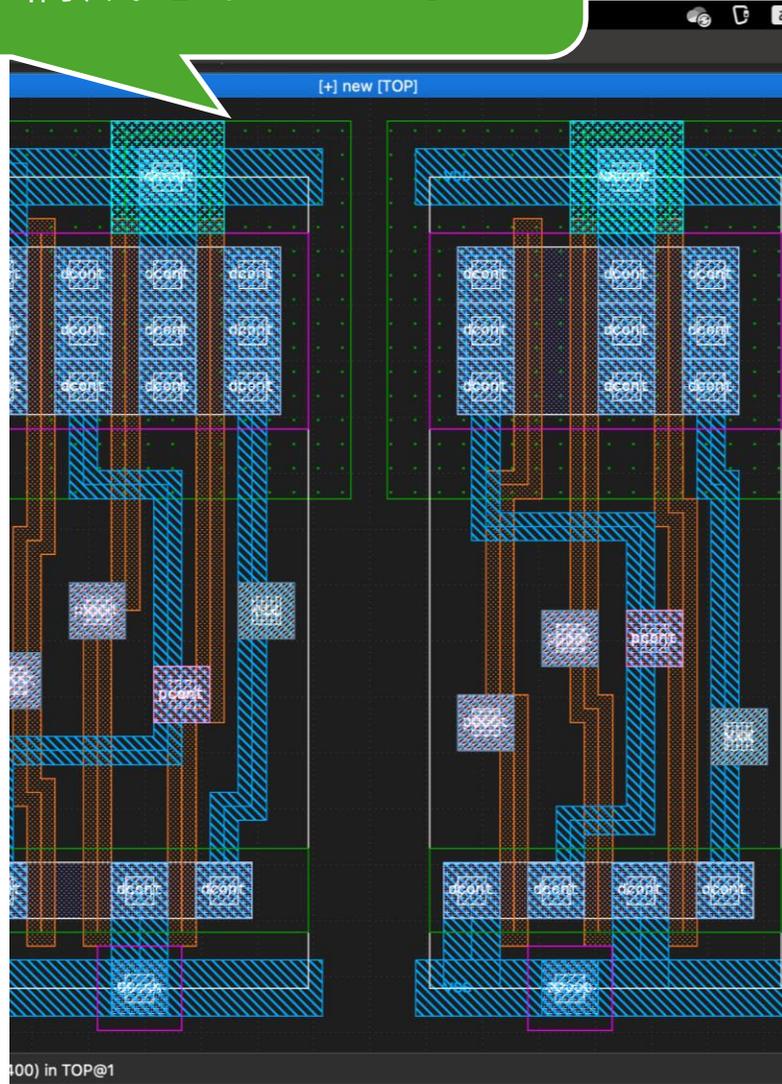
- Get your digital designs manufactured in silicon for an affordable price at [Tiny Tapeout](#)
- Learn open source ASIC design with the [Zero to ASIC course](#)

SiliWiz revision e98ec7f, built at 2023-04-12T18:32:37.314Z.

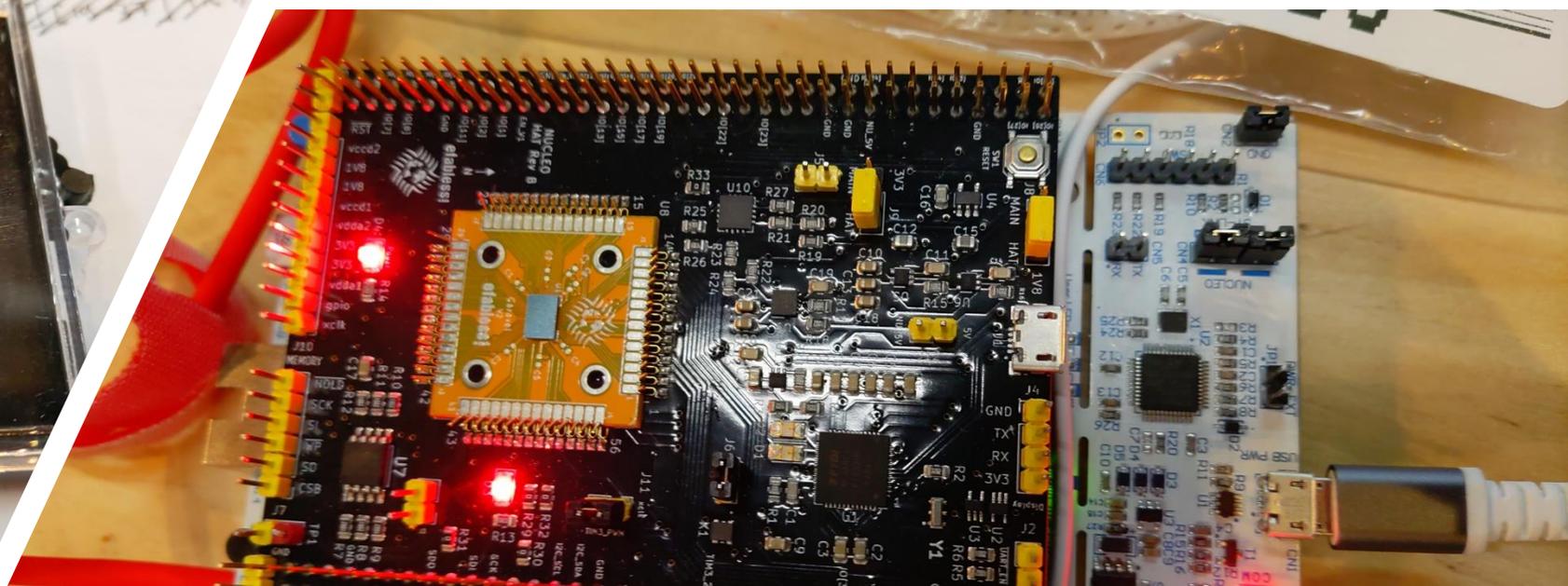
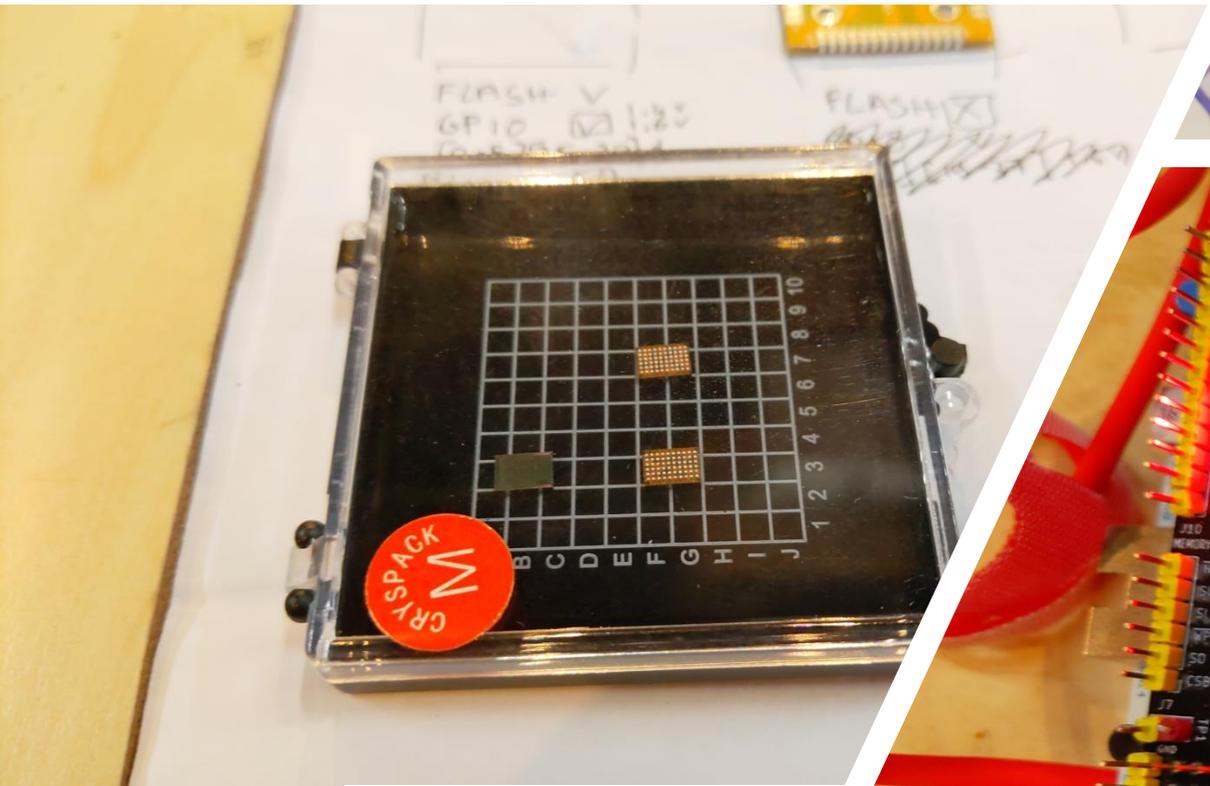
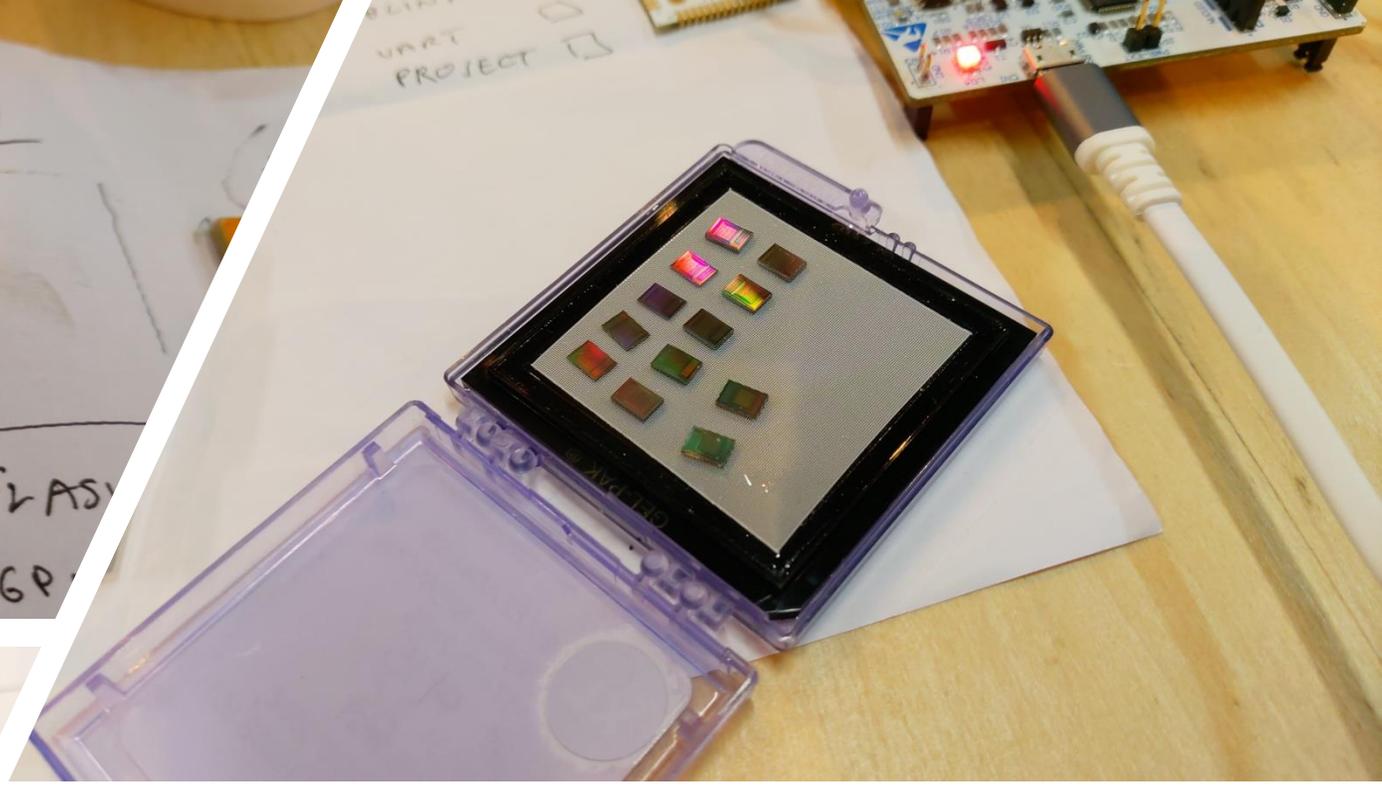
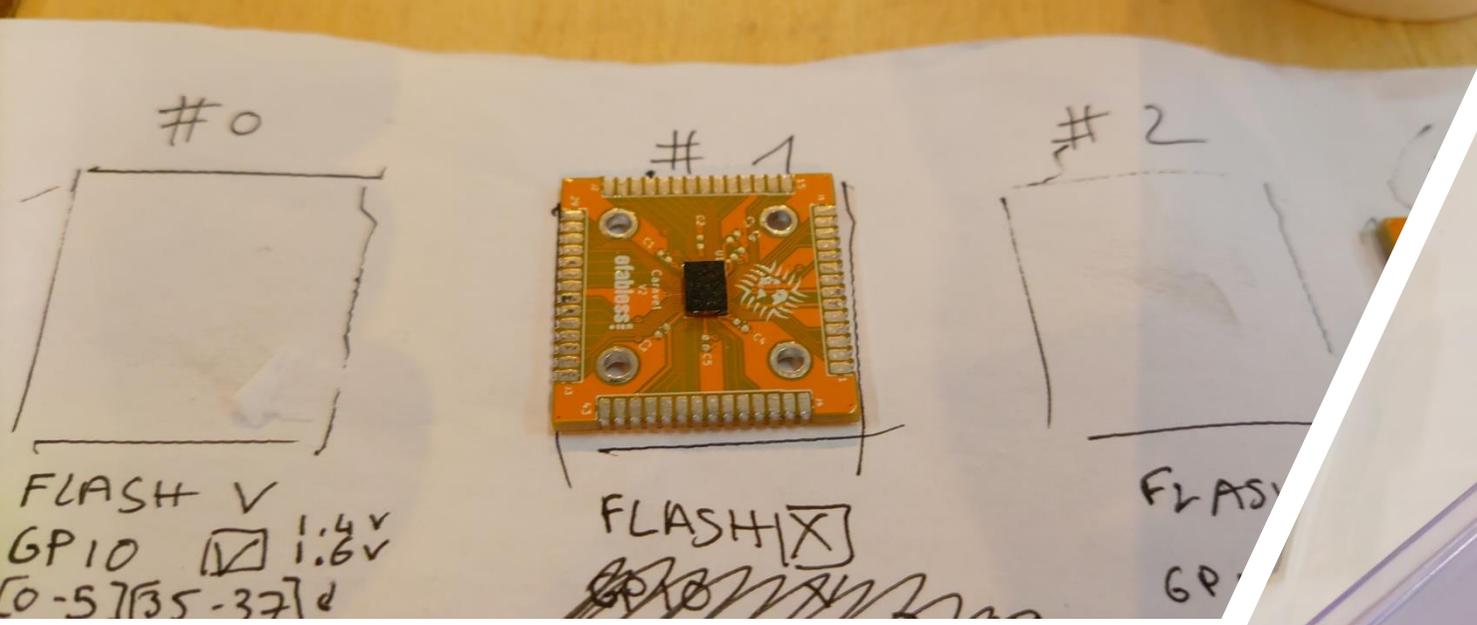
NOT
(Inverter)回路

土谷 亮 / Akira Tsuchiya
a_tsuchiya@ieee.org

P-FET,N-FETで
構成されている



半導体版
1bit-CPU



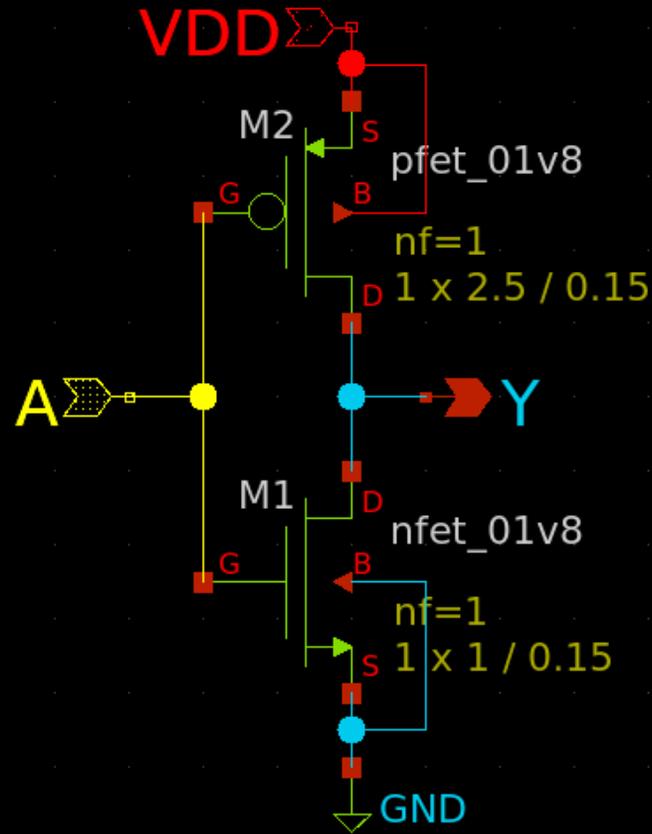
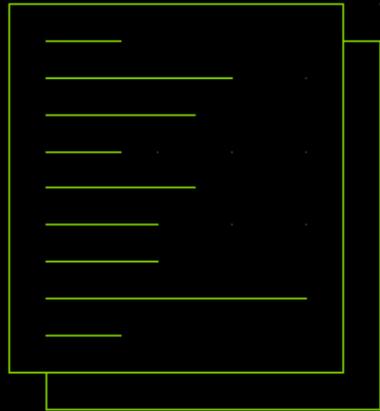
アナログLSIの設計フロー

デジタル回路（CPUなど）は
このサブセットで作成可能！

- 回路図（ベンチマーク）を描く
- シミュレーションをする
- 回路図を基にレイアウトを描く
- レイアウトを検証する
- レイアウトを基に寄生成分を考慮したシミュレーションをする

回路図(ベンチマーク)を描いて . . .

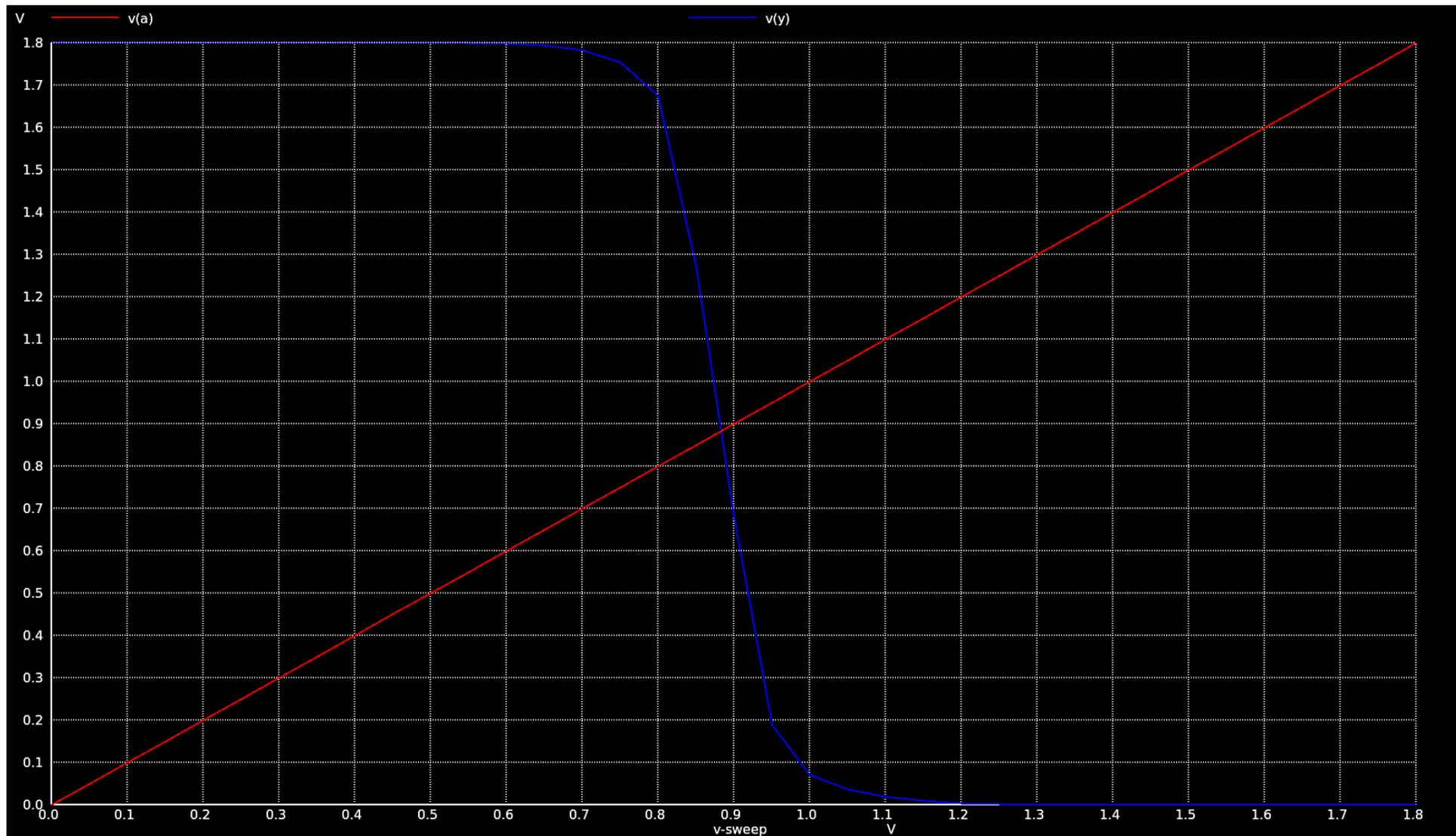
MODELS



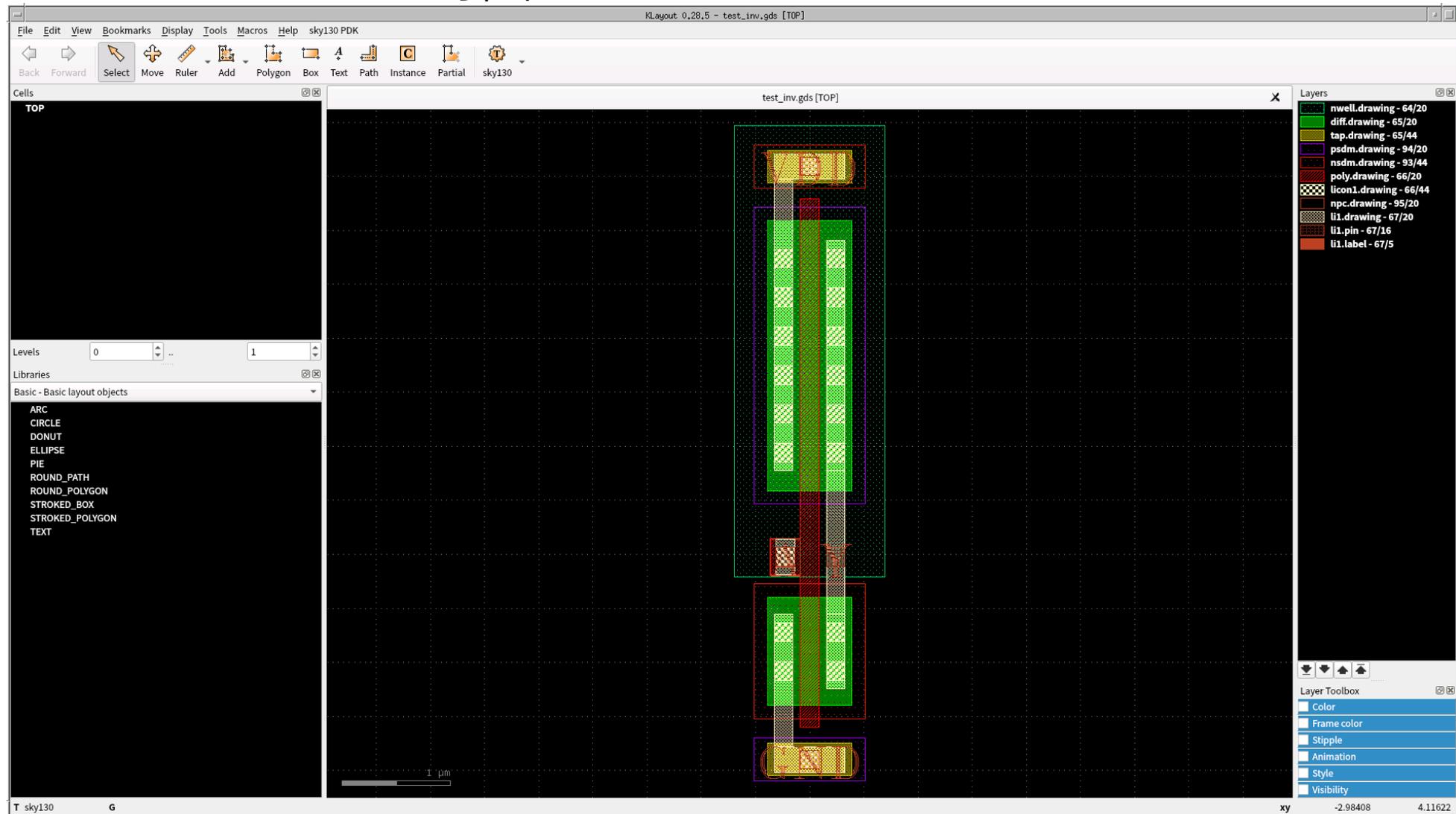
COMMANDS
SIM=ngspice

```
VD VDD 0 dc 1.8  
VA A 0 dc 0  
.control  
save all  
dc VA 0 1.8 0.05  
plot v(a) v(y)  
.endc
```

論理検証をして . . .



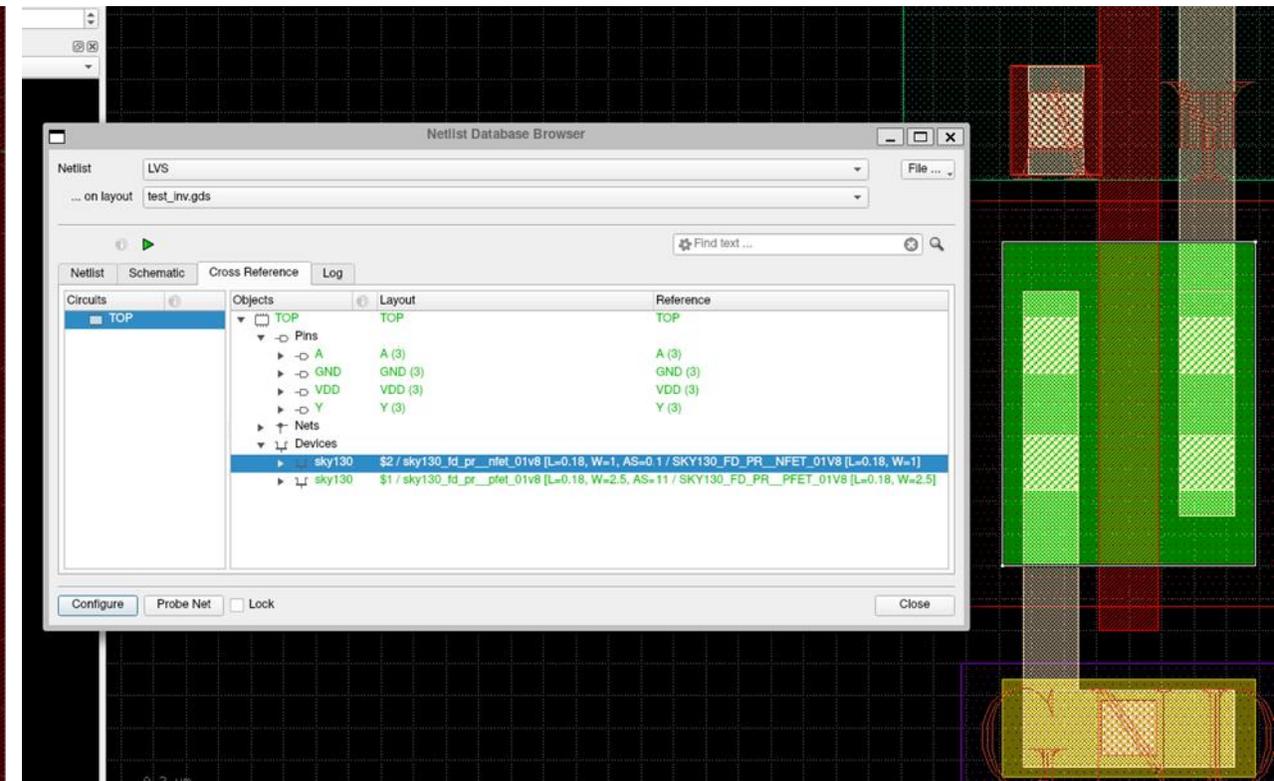
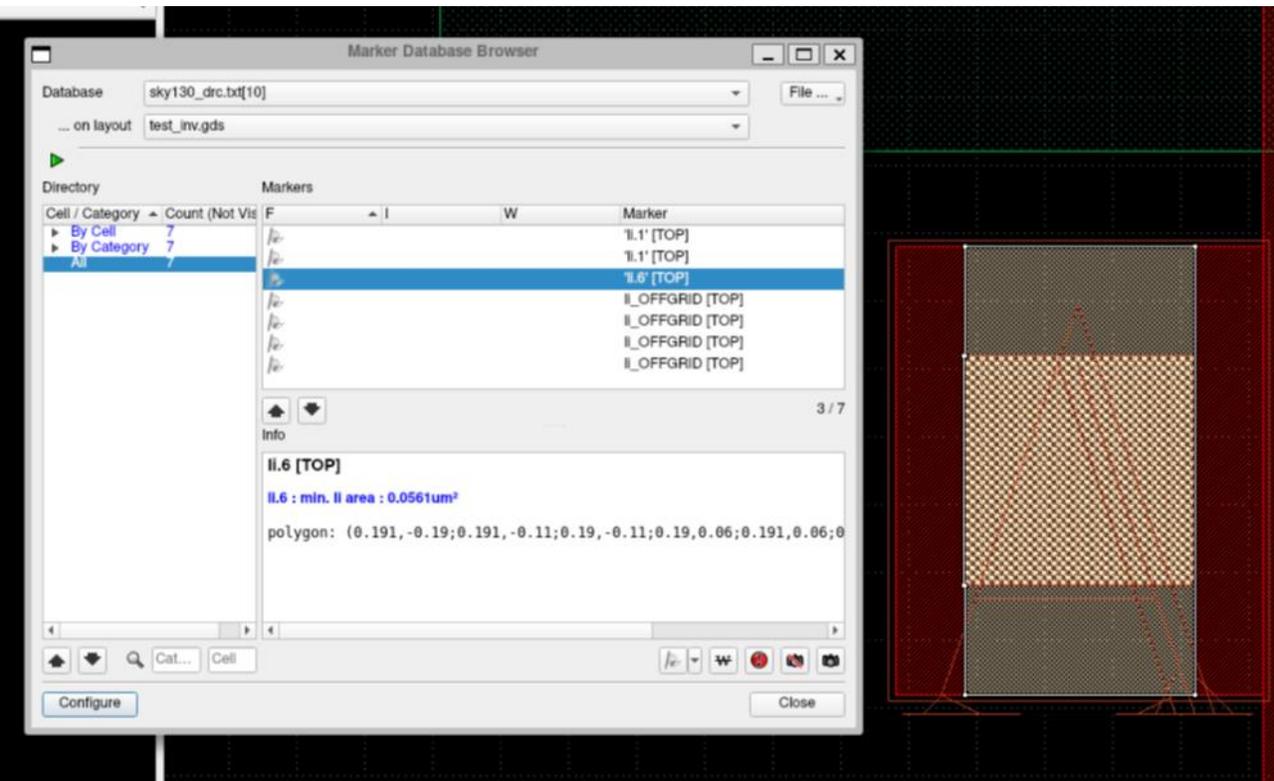
レイアウトを描いて . . .



レイアウトを検証して . . .

DRC

LVS



寄生成分を抽出して . . .

```

Magic-PEX
File Edit View Search Terminal Help
Loading sky130A Device Generator Menu ...
Loading "/home/user/.klayout/macros/sky130_magic_pex.tcl" from command line.
Warning: Calma reading is not undoable! I hope that's OK.
Library written using GDS-II Release 6.0
Library name: LIB
Reading "TOP".
CIF file read warning: CIF style sky130(): units rescaled by factor of 5 / 1
Extracting TOP into TOP.ext:
exttosim finished.
exttospice finished.
exttospice finished.
* NGSPICE file created from TOP.ext - technology: sky130A

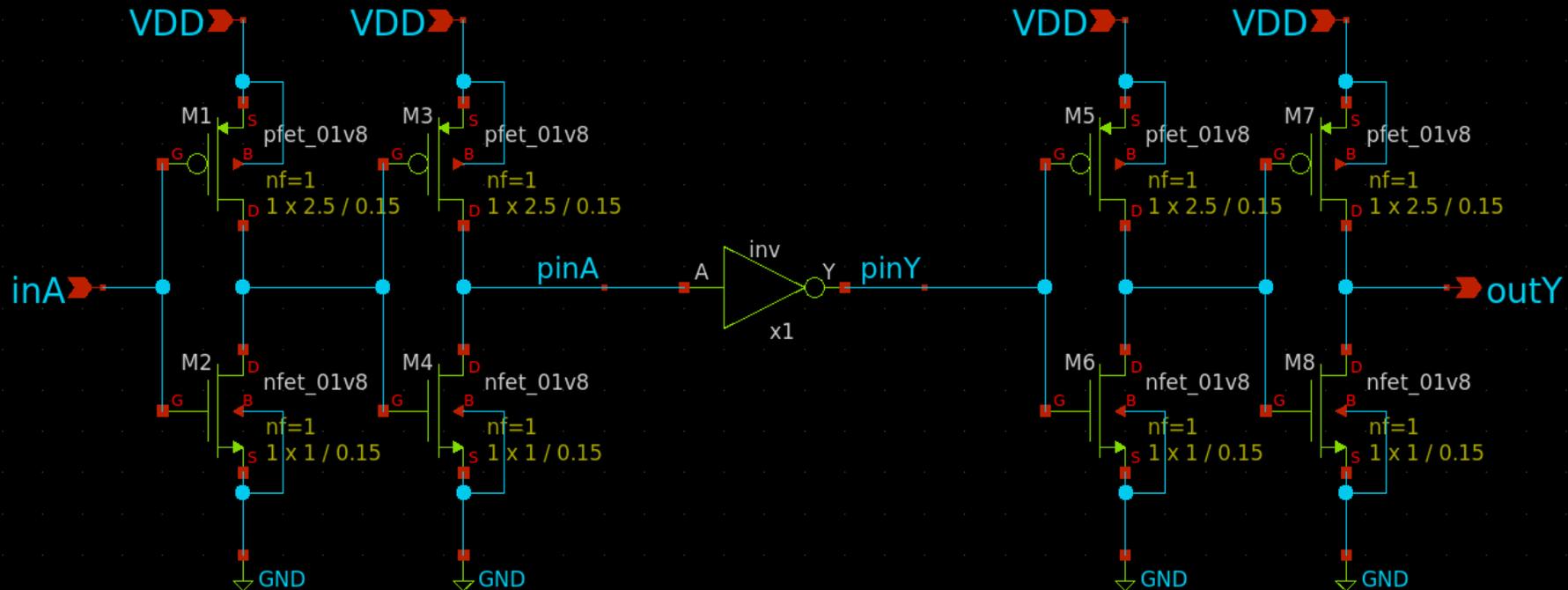
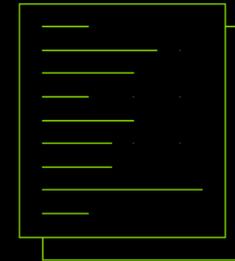
.subckt TOP A Y VDD GND
X0 Y A VDD VDD sky130_fd_pr__pfet_01v8 ad=7.5e+11p pd=5.6e+06u as=7.5e+11p ps=5.6e+06u w=2.5e+06u l=180000u
X1 Y A GND GND sky130_fd_pr__nfet_01v8 ad=3e+11p pd=2.6e+06u as=3e+11p ps=2.6e+06u w=1e+06u l=180000u
C0 A Y 0.05fF
C1 VDD Y 0.17fF
C2 A VDD 0.18fF
.ends
```

ベンチマークを作成して...

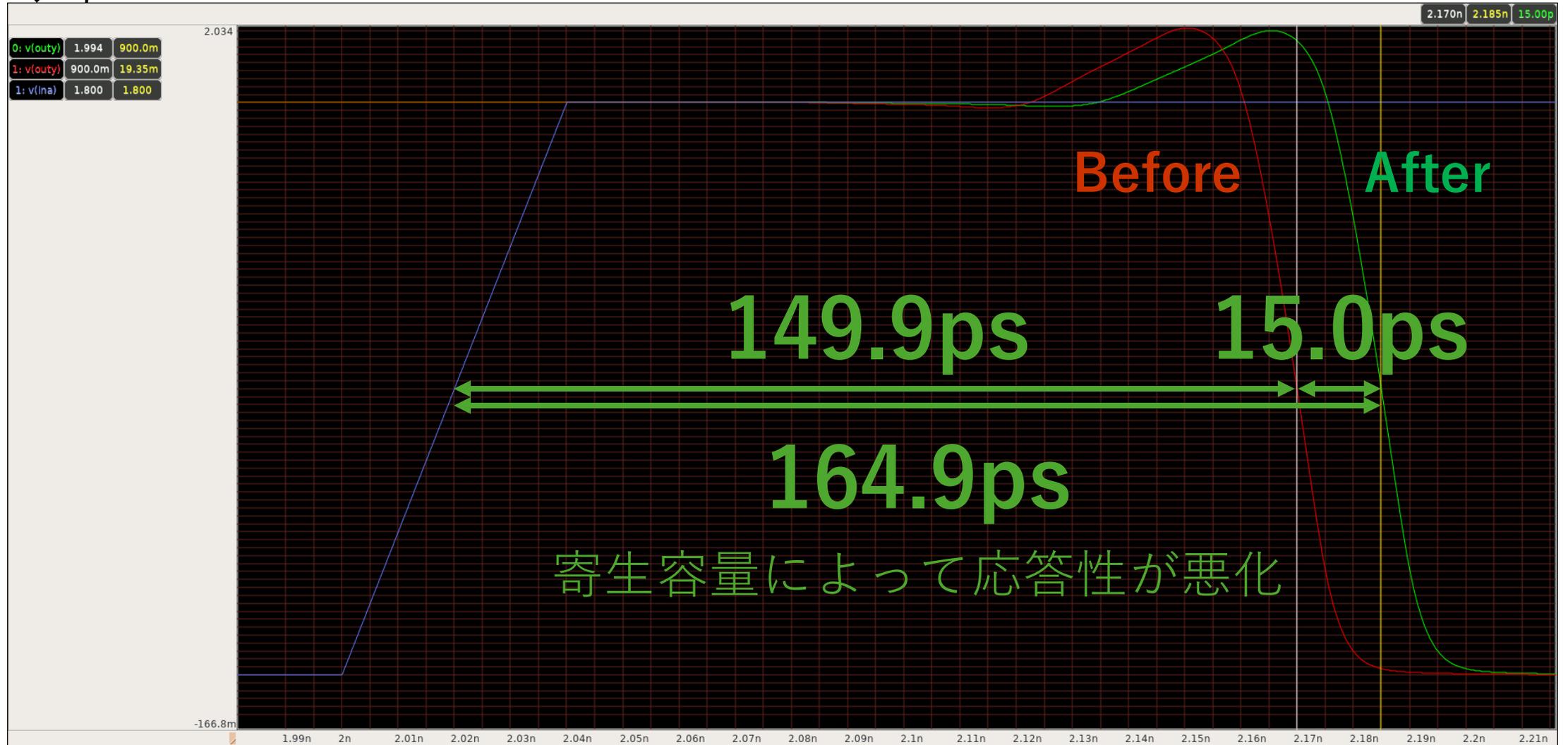
ngspice

```
VA inA 0 pulse(0 1.8 0 40p 40p 1n 2n) dc 0
VD VDD 0 dc 1.8
.include ~/TOP_pex_extracted.spice
.control
tran 1p 4n
wrdata ~/inv_bench.txt v(ina) v(outy)
write ~/inv_test_pex.raw
.endc
```

MODELS



ポストレイアウトシミュレーションをする



そもそもLSI回路設計に必要なものとは？

• プロセスデザインキット PDK

- シミュレーション用モデルライブラリ (SPICE)
- 検証ツール用ルールファイル (DRC, LVSなど)
- スタンダードセルライブラリ
 - レイアウト (GDS)
 - ネットリスト (SPICE)
 - 自動配線ルール (LEF)
 - Verilogシミュレーションライブラリ (LIB, V)
- 一部指定されたレイアウト (BJT)

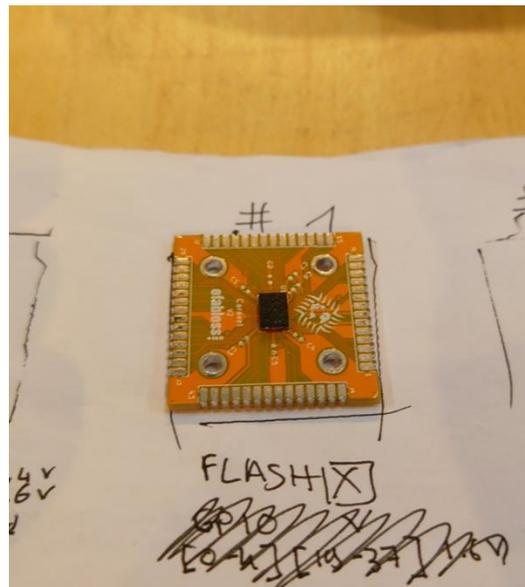
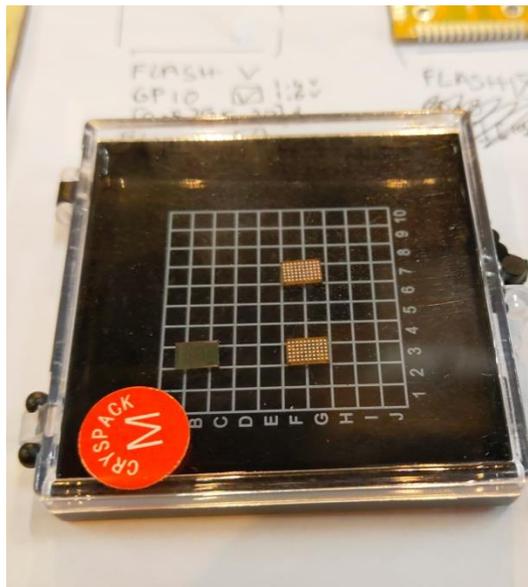
• PDKで指定された各種ツール (EDAツール)

- 回路図エディタ or Verilogコンパイラ
 - 回路図エディタ : xschem
- レイアウトエディタ or 自動レイアウトツール
 - レイアウトエディタ : klayout, magic
- SPICEシミュレータ or Verilogシミュレータ
 - SPICEシミュレータ : ngspice, xyce /zīs/
- 検証ツール
 - 検証ツール : klayout, magic, netgen



興味がありますか？





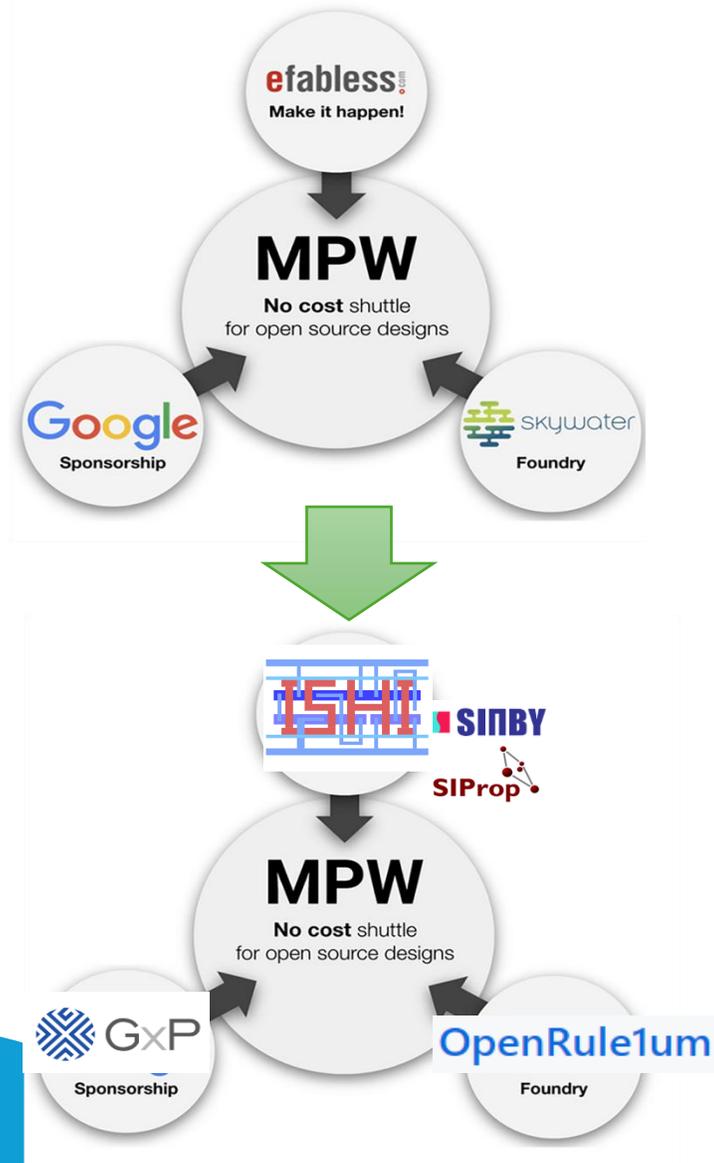
希望者
×
ISHI会

設計・製造を一緒にやりませんか？

日本発の OpenMPW!

• OpenMPW構造のシャトル

- コミュニティ
 - eFables社 ⇔ ISHI会 + SINBY + SIProp
- スポンサー
 - Google社 ⇔ GxP社
- ファブ：
 - SkywaterPDK ⇔ OpenRule1umPDK



ISHI会版OpenMPW-PTC06-1として開催!

130nmなのでPen3世代

IHP Open Source PDK

130nm BiCMOS Open Source PDK, dedicated for Analog/Digital, Mixed Signal and RF Design

IHP Open Source PDK project goal is to provide a fully open source Process Design Kit and related data, which can be used to create manufacturable designs at IHP's facility.

As of March 2023, this repository is targeting the SG13G2 process node.



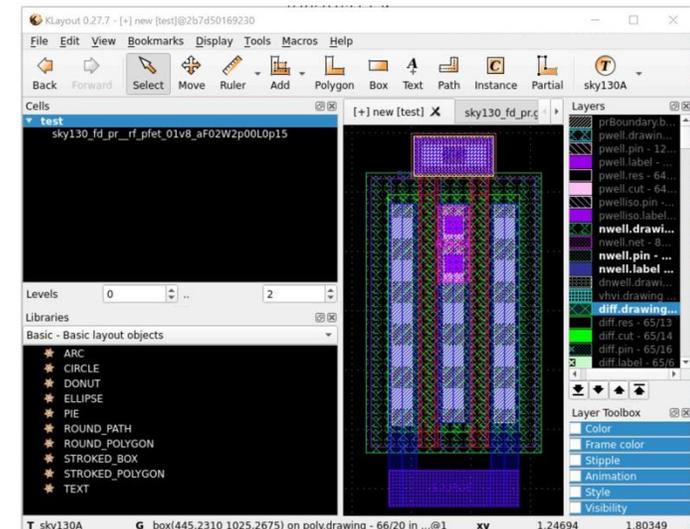
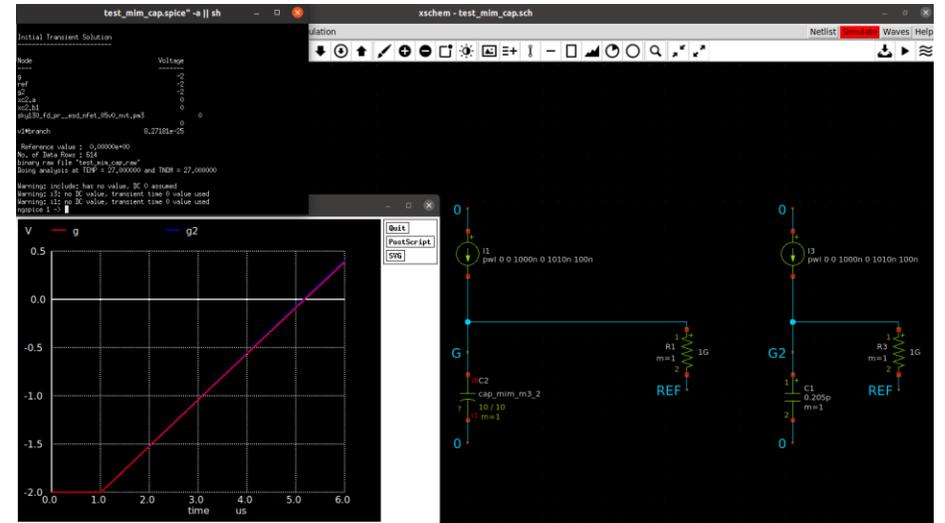
ドイツの研究機関向けファブ

iHP:OSS
PDK

Tape In date	10 May 2024	11 Nov 2024	22 Nov 2024	01 Mar 2025	09 May
Technology	SG13G2	SG13CMOS	SG13G2	SG13G2	SG13G2
Area available [mm ²]	10	220	20	140	30

ハンズオンセミナー

- **知識ゼロ**から半導体設計の基礎がすべて学べる！
一番簡単なインバーター回路のハンズオンセミナー
 - Xschemによる回路設計
 - トランジスタの組み合わせで機能を実現する作業
 - ngspiceによる回路特性シミュレーション
 - 上記の回路が正しく動作するかを検証する作業
 - klayoutによる回路デザイン
 - トランジスタを実際の半導体の上に配置する作業
- 丸々1日の講習会となります
 - 講習会実施実績
 - <https://ishikai.comnpass.com/event/303102/>
 - https://www.noritsuna.jp/download/ishi_20231110_3zki_ver2.pdf
- 参加者の声（半導体設計未経験者。電子工作をしたことがあるレベル）
 - チップの設計体験によりすごく技術的な刺激を受けた
 - 半導体は全く未知のものだったが理解できたことで新しい知見を得ることが出来た



ターゲット

- 半導体って話をよく聞くようになったので、具体的に知りたい！
 - 半導体の基礎知識
 - 半導体の工場のプロセスの内容
- もっとコンピュータの動作原理を知りたい！
 - 最近、自作CPUが流行っているらしい
 - どうやらコンパイラレベルさえ隠蔽されてしまったためかより原理的なところへの回帰が起こっている

日の丸半導体の復権なるか 北海道の「ラピダス」新工場、急ピッチで建設

次世代半導体の国産化を目指すラピダスが、北海道千歳市での新工場建設を急ピッチで進めている。

© 2024年05月29日 08時32分 公開

[産経新聞]



次世代半導体の国産化を目指すラピダスが、北海道千歳市での新工場建設を急ピッチで進めている。工場を起点に北海道を半導体産業の集積地とする構想も浮上し、地元は沸く。量産までの総投資額は5兆円で、経済産業省の補助金はすでに1兆円近くに達した。国主導の産業振興の新たなモデルケースとなるか、注目されている。



44個のロジックICを使った「自作CPU組み立てキット」が明日発売

2023.03.02 12:20 更新

2023.03.02 取材

ビット・トレード・ワン



組み立ては5～6時間？CPUの構造が学べる“歯ごたえのある”工作キット

ロジックICで動作する自作CPUの組み立てキット「ロジックICで創る自作CPU組み立てキットTTM8」がビット・トレード・ワンから3月3日に発売。Shigezoneにて実機展示と予約販売が始まっている。なお同店では発売記念特価として、キットのみを税込27,500円、解説書籍同梱版を税込29,500円で販売（3月3日以降予告なく終了）する。

ISHI会の情報

- メンバー数
 - 300名（20名ほど常にアクティブ）
- ホームページ
 - <https://ishi-kai.org/>
- Discord上で活動中
 - <https://discord.gg/RwAWF5mZSR>
- イベント告知（勉強会など）
 - <https://ishikai.connpass.com/>
 - 20～50名ほどが常時参加

